การปรับปรุงความเชื่อถือได้เชิงบูรณาการต่อความผิดพลาดถาวรและชั่วครู่ สำหรับตัวประมวลผลระดับนาโนมิเตอร์

Integrated Reliability Improvement against Permanent and Transient Errors for Nanometer-scale Processors

วรินทร์ สุดคนึง

ศุภชัย หอวิมานพร

ศศิธร ชูแก้ว

งานวิจัยนี้ได้รับทุนอุดหนุนจากงบประมาณรายจ่าย ประจำปีงบประมาณ พ.ศ. 2558

คณะวิศวกรรมศาสตร์ มหาวิทยาลัยเทคโนโลยีราชมงคลพระนคร

การปรับปรุงความเชื่อถือได้เชิงบูรณาการต่อความผิดพลาดถาวรและชั่วครู่ สำหรับตัวประมวลผลระดับนาโนมิเตอร์

Integrated Reliability Improvement against Permanent and Transient Errors for Nanometer-scale Processors

วรินทร์ สุดคนึง
ศุภชัย หอวิมานพร
ศศิธร ชูแก้ว

งานวิจัยนี้ได้รับทุนอุดหนุนจากงบประมาณรายจ่าย ประจำปีงบประมาณ พ.ศ. 2558
คณะวิศวกรรมศาสตร์ มหาวิทยาลัยเทคโนโลยีราชมงคลพระนคร

รายงานฉบับสมบูรณ์

การปรับปรุงความเชื่อถือได้เชิงบูรณาการต่อความผิดพลาดถาวรและชั่วครู่สำหรับตัวประมวลผลระดับนาโนมิเตอร์

Integrated Reliability Improvement against Permanent and Transient Errors for Nanometer-scale Processors

หัวหน้าโครงการวิจัย

อาจารย์ ดร.วรินทร์ สุดคนึง

คณะวิศวกรรมศาสตร์ มหาวิทยาลัยเทคโนโลยีราชมงคลพระนคร

รายงานฉบับสมบูรณ์

การปรับปรุงความเชื่อถือได้เชิงบูรณาการต่อความผิดพลาดถาวรและชั่วครู่สำหรับตัวประมวลผลระดับนาโนมิเตอร์

Integrated Reliability Improvement against Permanent and Transient Errors for Nanometer-scale Processors

รายนามคณะผู้วิจัย

1. อาจารย์ ดร.วรินทร์ สุดคนึง

หน่วยงาน คณะวิศวกรรมศาสตร์ มหาวิทยาลัยเทคโนโลยีราชมงคลพระนคร

2. ผู้ช่วยศาสตราจารย์ ดร.ศุภชัย หอวิมานพร

หน่วยงาน คณะครุศาสตร์อุตสาหกรรม มหาวิทยาลัยเทคโนโลยีพระจอมเกล้าพระนครเหนือ

3. อาจารย์ ดร.ศศิธร ชูแก้ว

หน่วยงาน คณะครุศาสตร์อุตสาหกรรม มหาวิทยาลัยเทคโนโลยีราชมงคลพระนคร

วันเริ่มต้นโครงการ 1 ตุลาคม 2557

วันสิ้นสุดโครงการ 30 กันยายน 2558

/ ตรวจสอบเนื้อหาแล้ว

กิตติกรรมประกาศ

โครงการนี้ได้รับการสนับสนุนจากงบประมาณรายจ่ายประจำปีงบประมาณ พ.ศ. 2558

มหาวิทยาลัยเทคโนโลยีราชมงคลพระนคร

ปี พ.ศ. ที่ได้รับทุน 2557

บทคัดย่อ

ความผิดพลาดถาวรจากอุณหภูมิที่เพิ่มขึ้นและความผิดพลาดชั่วครู่จากปรากฏการณ์ซิงเกิ้ลอีเว้นท์ยิ่งทวีความรุนแรงมากขึ้นในโพรเซสเซอร์ยุคใหม่ที่ใช้เทคโนโลยีของอุปกรณ์ที่เล็กลงในระดับนาโนมิเตอร์ ในขณะที่บรรดานักวิจัยส่วนมากได้นำเสนอวิธีการที่มีประสิทธิภาพเพื่อจำกัดปัญหาด้านความเชื่อถือได้ในด้านในด้านใดด้านหนึ่ง แต่เทคนิคต่างๆ เหล่านั้นกลับส่งผลกระทบต่อความน่าเชื่อถือในอีกด้านหนึ่ง ในโครงการวิจัยนี้ ผู้วิจัยได้สร้างเทคนิคใหม่เพื่อใช้ลดกำลังไฟฟ้ารั่วสำหรับปรับปรุงความเชื่อถือได้ในระยะยาวโดยพิจารณาผลกระทบด้านความเชื่อถือได้ในระยะสั้นจากซอฟท์เอเรอร์ โดยในขั้นแรก ผู้วิจัยใช้วิธีการปรับค่าไบแอสที่ตัวฐานรองทำการลดกำลังไฟฟ้ารั่วแล้วศึกษาผลกระทบของวิธีการดังกล่าวที่มีต่ออัตราซอฟท์เอเรอร์และสมรรถนะด้านเวลาหน่วงของวงจร จากการทดลองในขั้นนี้พบว่า การใช้ไบแอสย้อนกลับที่ตัวฐานรองเพื่อควบคุมกำลังไฟฟ้ารั่วกลับทำให้วงจรมีอัตราซอฟท์เอเรอร์ที่เพิ่มขึ้นนอกเหนือไปจากเวลาหน่วงที่เพิ่มขึ้น ด้วยเหตุนี้ผู้วิจัยจึงทำการบูรณาการผลกระทบหลายๆ ด้านของไบแอสฐานรองแล้วสร้างเป็นวิธีการใหม่ในการลดกำลังไฟฟ้ารั่ว จากผลการทดลองพบว่า วิธีการที่ได้นำเสนอสามารถลดกำลังไฟฟ้ารั่วได้อย่างน่าพอใจ ภายใต้กรอบของซอฟท์เอเรอร์และเวลาหน่วงในวงจรวัดเปรียบเทียบมาตรฐานที่สร้างด้วยเทคโนโลยีเกตโลหะ/ค่าเคสูง ขนาด 32 นาโนมิเตอร์

คำสำคัญ: ไบแอสที่ตัวฐานรอง เวลาหน่วง กำลังไฟฟ้ารั่ว ซอฟท์เอเรอร์ ความเชื่อถือได้

Abstract

For modern processors, permanent and transient errors due to increased temperature and single event effect continue to intensify as device technologies scale down to small nanometers. While many researchers have proposed efficient methods to limit one of these two problems, those techniques may worsen the other reliability aspect. In this project, we introduce a novel leakage reduction approach for long-term reliability improvement which considers the impact of short-term reliability effect from soft errors. In particular, we firstly employ body bias tuning to reduce leakage and further investigate its impact on delay and soft error rate of the circuit. It has been discovered from our experiment that use of reverse body bias to control leakage can raise the soft error rate in addition to the delay performance. We therefore integrate several effects of body bias into the proposed leakage reduction technique. The experimental results show that our approach provides satisfactory leakage reduction with confined soft error and delay degradation in 32 nm high-k/metal gate benchmark circuits.

Key Words: Body bias; delay; leakage; soft errors; reliability

สารบัญเรื่อง

บทคัดย่อ ii

Abstract iii

สารบัญภาพ vi

สารบัญตาราง vii

บทที่ 1 บทนำ 1

1.1 วัตถุประสงค์ของโครงการวิจัย 3

1.2 ประโยชน์ที่คาดว่าจะได้รับ 4

1.3 ผลกระทบเชิงเศรษฐศาสตร์ สังคม และสิ่งแวดล้อม 4

1.4 ขอบเขตการวิจัย 5

บทที่ 2 งานวิจัยและทฤษฎีที่เกี่ยวข้อง 6

2.1 ทฤษฎีที่เกี่ยวข้อง 6

2.2 งานวิจัยที่เกี่ยวข้อง 13

บทที่ 3 ระเบียบวิธีวิจัย 16

3.1 การตั้งปัญหาการหาค่าเหมาะที่สุด 16

3.2 การแก้ปัญหาด้วยวิธีฮิวริสติกส์ 18

บทที่ 4 ผลการทดลองและการวิเคราะห์ 21

4.1 วิธีการหาค่าเหมาะที่สุด 21

4.2 วิธีฮิวริสติกส์ 24

4.3 วิเคราะห์ผลการทดลอง 27

บทที่ 5 บทสรุป 30

5.1 สรุปผลการทดลอง 30

5.2 แนวทางการพัฒนาในอนาคต 31

บรรณานุกรม 32

ภาคผนวก 36

สารบัญภาพ

รูปที่ 1 แบบจำลองการเกิดซอฟท์เอเรอร์ในระดับทรานซิสเตอร์ 10

รูปที่ 2 กราฟระหว่างกระแสไฟฟ้ารั่ว, SER, และเวลาหน่วง กับแรงดันไบแอสที่ตัวฐานรอง ในวงจร c17.....14

รูปที่ 3 ผังแสดงวิธีการลดกำลังไฟฟ้ารั่วโดยคำนึงถึงซอฟท์เอเรอร์ 19

รูปที่ 4 การลดลงของกระแสไฟฟ้ารั่วในวงจร i2 ที่ได้รับเซตของแรงดันไบแอสที่ตัวฐานรองที่ต่างกัน.....27

สารบัญตาราง

ตารางที่ 1 ผลลัพธ์ของวิธีการหาค่าเหมาะที่สุดสำหรับวงจรขนาดเล็ก ค่า w_{ZBB} = 25.....21

ตารางที่ 2 ผลลัพธ์ของวิธีการหาค่าเหมาะที่สุดสำหรับวงจรขนาดเล็ก ค่า w_{ZBB} = 30.....22

ตารางที่ 3 ผลลัพธ์ของวิธีการหาค่าเหมาะที่สุดสำหรับวงจรขนาดเล็ก ค่า w_{ZBB} = 35.....23

ตารางที่ 4 เวลาเฉลี่ยของซีพียูเพื่อหาคำตอบที่เหมาะที่สุด 24

ตารางที่ 5 ผลการปรับปรุงกำลังไฟฟ้ารั่วโดยคำนึงถึงซอฟท์เอเรอร์ด้วยวิธีฮิวริสติกส์.....25

ตารางที่ 6 ผลการปรับปรุงกำลังไฟฟ้ารั่วโดยไม่พิจารณาซอฟท์เอเรอร์ด้วยวิธีฮิวริสติกส์ 26

ตารางที่ 7 การลดลงของกระแสไฟฟ้ารั่วเมื่อจ่ายแรงดันไบแอสที่ตัวฐานรอง 3 ระดับ 28

บทที่ 1 บทนำ

ในปัจจุบัน การออกแบบตัวประมวลผลหรือโปรเซสเซอร์ (Processor) เพื่อใช้สำหรับงานทางวิศวกรรมและอุตสาหกรรมการผลิตเช่น การควบคุมหุ่นยนต์อุตสาหกรรม การควบคุมการบินของอากาศยานและยานอวกาศ การควบคุมยานยนต์ และการประมวลผลข้อมูลปริมาณมาก มีความก้าวหน้าเป็นอย่างมาก เทคโนโลยีชั้นสูงในการผลิตวงจรรวมทำให้ขนาดของทรานซิสเตอร์ลดลงอย่างต่อเนื่อง เป็นการเพิ่มความหนาแน่นของจำนวนทรานซิสเตอร์ต่อพื้นที่ซิลิกอน วงจรดิจิทัลยุคใหม่จึงมีประสิทธิภาพในการประมวลผลที่สูงขึ้น แต่ในขณะเดียวกันปัญหาจากขนาดของอุปกรณ์ทรานซิสเตอร์ที่เล็กมากในระดับนาโนมิเตอร์ ทำให้ความเชื่อถือได้ (Reliability) ของวงจรรวมลดลง ด้วยเหตุนี้การพัฒนาเทคนิคการออกแบบเพื่อความเชื่อถือได้ (Design for reliability) จึงมีความสำคัญไม่น้อยไปกว่าการปรับปรุงประสิทธิภาพของวงจรประมวลผล โดยเฉพาะวงจรรวมที่ถูกนำไปใช้ในงานที่ส่งผลกระทบกับชีวิตของคนหมู่มาก เช่น งานควบคุมการบิน และงานด้านการแพทย์ เป็นต้น ในทำนองเดียวกันความเชื่อถือได้ที่ลดลงของระบบบริการทางสารสนเทศ ก่อให้เกิดการเพิ่มขึ้นของต้นทุนสำหรับกู้คืนระบบ และข้อผิดพลาดในการบริการยังส่งผลถึงภาพลักษณ์ของผู้ให้บริการอย่างหลีกเลี่ยงไม่ได้

การถดถอยของความเชื่อถือได้ (Reliability degradation) ของระบบ เกิดจากปัจจัยหลายอย่าง การใช้กำลังไฟฟ้าที่เพิ่มขึ้นของตัวประมวลผลยุคใหม่ ทั้งกำลังไฟฟ้าพลวัต (Dynamic power) และกำลังไฟฟ้ารั่ว (Leakage power) เป็นสาเหตุสำคัญที่ทำให้วงจรรวมมีอุณหภูมิสูงขึ้น ซึ่งจะส่งผลกระทบโดยตรงต่อการถดถอยของความเชื่อถือได้ของอุปกรณ์ในระยะยาว การเพิ่มขึ้นของอุณหภูมิเป็นตัวเร่งอัตราการเกิดความล้มเหลวอย่างถาวร (Permanent failure rate) ในตัวประมวลผล ทำให้วงจรมีอายุการใช้งานที่สั้นลง ในอีกด้านหนึ่ง การเพิ่มขึ้นของความอ่อนไหว (Sensitivity) ต่อความผิดพลาดชั่วครู่ (Transient errors) ของอุปกรณ์ทรานซิสเตอร์ที่มีขนาดระดับนาโนมิเตอร์ ได้กลายมาเป็นปัญหาสำคัญที่ผู้ออกแบบวงจรต้องหาแนวทางแก้ไขโดยด่วน ต้นเหตุสำคัญที่ทำให้วงจรประมวลผลที่ใช้เทคโนโลยีระดับนาโนมิเตอร์เกิดความผิดพลาดชั่วครู่ คือ ซอฟท์เอเรอร์ (Soft errors) อันเนื่องมาจากการชนโดยอนุภาคนิวตรอนในบรรยากาศ และอัตราการเปลี่ยนแปลงชั่วขณะของกระแส (di/dt) ใน

วงจร ความผิดพลาดชนิดนี้ทำให้ระดับลอจิกของสัญญาณขาออกเปลี่ยนเป็นค่าตรงข้ามอย่างชั่วคราว ส่งผลให้ตัวประมวลผลมีการคำนวณที่ผิดพลาดแต่ก็ไม่ได้ก่อให้เกิดความเสื่อมสภาพต่อฮาร์ดแวร์โดยตรง โดยเฉพาะอย่างยิ่งปัญหาจากซอฟท์เอเรอร์ในตัวประมวลผลยุคใหม่อันเป็นผลมาจากอนุภาคนิวตรอนพลังงานต่ำแต่มีอัตราการชนที่สูง อนุภาคนิวตรอนที่เคยส่งผลกระทบน้อยมากต่อวงจรในยุคไมโครมิเตอร์ที่ผ่านมา กลับกลายมาเป็นปัญหาหลักในยุคปัจจุบันที่เทคโนโลยีการผลิตวงจรรวมลดขนาดลงมาจนถึงระดับนาโนมิเตอร์ เนื่องจากความก้าวหน้าด้านการออกแบบบรรจุภัณฑ์ (Packages) และการปกป้องอื่นๆ จากภายนอกวงจร ไม่สามารถป้องกันการชนโดยอนุภาคนิวตรอนได้ ภาระจึงตกแก่นักออกแบบวงจรในการหาเทคนิคใหม่ๆ ในขั้นตอนของการออกแบบวงจร เพื่อให้ระบบมีความคงทนต่อความผิดพลาดที่เกิดจากซอฟท์เอเรอร์

การศึกษาเพื่อปรับปรุงความเชื่อถือได้ของวงจรรวมดิจิทัลในช่วงเวลาที่ผ่านมา นักวิจัยส่วนใหญ่กำหนดขอบเขตของความเชื่อถือได้ที่เกิดจากปัจจัยใดปัจจัยหนึ่งเท่านั้น การขาดการบูรณาการในการวิจัยเพื่อปรับปรุงความเชื่อถือได้ของวงจรอันเกิดจากปัจจัยหลายๆ ด้าน ทำให้ผลการศึกษาที่ได้ ขาดความถูกต้อง ไม่สอดคล้องกับสภาพการใช้งานจริง ยิ่งไปกว่านั้น การเลือกปรับปรุงความเชื่อถือได้เพียงด้านเดียว อาจทำให้วงจรที่ได้ออกแบบมีการถดถอยของความเชื่อถือได้ในอีกด้านหนึ่ง เช่น การลดกำลังไฟฟ้ารั่วของวงจรด้วยวิธีการปรับไบแอสที่ตัวฐานรอง (Body bias) อาจทำให้ความอ่อนไหวของวงจรต่อซอฟท์เอเรอร์มีค่าสูงขึ้น และอาจมีผลกระทบต่อความเชื่อถือได้ด้านอื่นๆ ที่มีความสัมพันธ์กับการเปลี่ยนแปลงของค่าแรงดัน เทรชโฮลด์ (Threshold voltage) ของทรานซิสเตอร์ ด้วยเหตุดังกล่าว งานวิจัยนี้จึงมุ่งสร้างเครื่องมือในรูปแบบของ คอมพิวเตอร์ช่วยในการออกแบบ (Computer-aided-design tool: CAD tool) เพื่อใช้ออกแบบตัวประมวลผลระดับนาโนมิเตอร์ โดยเน้นการปรับปรุงความเชื่อถือได้เชิงบูรณาการที่รวมกลไกของการถดถอยด้านความเชื่อถือได้หลายกลไก อันเป็นผลมาจากปัจจัยด้านกำลังไฟฟ้าและอุณหภูมิ ซึ่งเกี่ยวข้องกับความผิดพลาดถาวรของวงจร และความผิดพลาดชั่วครู่ซึ่งเกิดจากการชนของอนุภาค ทั้งนี้การปรับปรุงความเชื่อถือได้ของวงจรจะกระทำในขั้นตอนการออกแบบระดับเกต (Gate level design) หรือสูงกว่า ด้วยกรอบงานที่เป็นการสร้างเทคนิคใหม่ในการปรับปรุงความเชื่อถือได้ของวงจรประมวลผลในรูปแบบของการสร้างเครื่องมือด้านคอมพิวเตอร์ช่วยในการออกแบบ โดยใช้ภาษาระดับสูง อนึ่งงานวิจัยนี้จำเป็นต้องทำการวิเคราะห์วงจรรวมตั้งแต่ระดับทรานซิสเตอร์ (Transistor level) เพื่อใช้เชื่อมโยง

พฤติกรรมวงจรจากระดับมโนคติ (Level of abstraction) ของการออกแบบที่ต่ำ ไปสู่ระดับมโนคติของการออกแบบที่สูงขึ้น ผู้ดำเนินการวิจัยคาดหวังว่า เครื่องมือนี้จะช่วยปรับปรุงความเชื่อถือได้ของวงจรรวมดิจิทัล ได้อย่างมีประสิทธิภาพ มีผลลัพธ์ที่ถูกต้องและเที่ยงตรง และหวังเป็นอย่างยิ่งว่า องค์ความรู้และเทคโนโลยีที่ได้จากงานวิจัยนี้จะส่งผลกระทบต่ออุตสาหกรรมการผลิตวงจรรวม ในอุตสาหกรรมนี้ ผู้ที่จะชนะการแข่งขันอย่างยั่งยืนจำเป็นต้องเร่งพัฒนา ไม่ใช่เพื่อเป็นการปรับปรุงประสิทธิภาพการทำงานของวงจรเพียงด้านเดียวเท่านั้น ในอีกด้านหนึ่ง ปัญหาความเชื่อถือได้ที่ถดถอยลงของผลิตภัณฑ์จำเป็นต้องถูกตระหนักและจัดการอย่างเร่งด่วน

1.1 วัตถุประสงค์ของโครงการวิจัย

1.1.1 สร้างแบบจำลองและเครื่องมือ คอมพิวเตอร์ช่วยในการออกแบบ เพื่อคำนวณความเชื่อถือได้เชิงบูรณาการที่รวมผลอันเกิดจากความผิดพลาดถาวรและความผิดพลาดชั่วครู่ของตัวประมวลผลระดับนาโนมิเตอร์

1.1.2 พัฒนาเทคนิค ในรูปของเครื่องมือคอมพิวเตอร์ช่วยในการออกแบบ ที่ใช้ปรับปรุงความเชื่อถือได้เชิงบูรณาการของตัวประมวลผลระดับนาโนมิเตอร์

1.2 ประโยชน์ที่คาดว่าจะได้รับ

1.2.1 เผยแพร่ผลงาน ในวารสารทางวิชาการระดับนานาชาติ หรือนำเสนอในที่ประชุมวิชาการระดับนานาชาติที่มีรายงานผลงานวิจัยที่ได้นำเสนอ (Proceedings) อย่างเต็มรูปแบบ ที่รับรองโดยองค์กรทางวิชาการและวิจัยในประเทศ

1.2.2 มีผลกระทบในเชิงบวกต่ออุตสาหกรรมการออกแบบตัวประมวลผล โดยจะเป็นการเพิ่มคุณค่าของผลิตภัณฑ์ นำไปสู่การเพิ่มขีดความสามารถในการแข่งขัน องค์ความรู้ใหม่ที่ได้รับจะถูกนำมาใช้ประกอบการเรียนการสอน

1.2.3 องค์ความรู้ใหม่ที่ได้รับ จะถูกนำมาใช้เพื่อประกอบการเรียนการสอน

1.2.4 ช่วยสร้างภาพลักษณ์ที่ดีของนักวิจัยไทย ในสังคมของนักออกแบบและทดสอบวงจรรวม ซึ่งนำไปสู่ความร่วมมือทางวิชาการในระดับนานาชาติต่อไป

1.3 ผลกระทบเชิงเศรษฐศาสตร์ สังคม และสิ่งแวดล้อม

ในสถานการณ์ปัจจุบัน การศึกษาวิจัยอย่างรอบด้านในเรื่องผลกระทบด้านความเชื่อถือได้ของวงจรรวมขนาดใหญ่มากยังมีไม่เพียงพอ ทำให้การคาดการณ์พารามิเตอร์ที่เกี่ยวข้องกับความเชื่อถือได้ของวงจร เช่น อัตราความล้มเหลว (Failure rate) เวลาเฉลี่ยสู่ความล้มเหลว (Mean time to failure) และอายุการใช้งานของวงจร (Circuit lifetime) ยังขาดความแม่นยำ ความเชื่อถือได้ของระบบจะส่งผลกระทบต่อเสถียรภาพของการปฏิบัติการในสภาพงานจริงซึ่งอาจส่งผลรุนแรงหากระบบนั้นปฏิบัติงานที่เกี่ยวข้องกับชีวิตคนจำนวนมาก เช่น ระบบอากาศยาน ระบบควบคุมเตาปฏิกรณ์นิวเคลียร์ เป็นต้น หรืออาจทำให้เกิดการสูญเสียค่าใช้จ่ายที่เกิดจากความล้มเหลวของระบบ เช่น ในระบบ mail servers และ web servers งานวิจัยนี้จะส่งผลกระทบโดยตรงต่อสังคมนักออกแบบวงจรรวมและตัวประมวลผลยุคใหม่ที่ต้องคำนึงถึงความเชื่อถือได้ร่วมกับสมรรถนะที่เพิ่มขึ้น ด้วยแบบจำลองความเชื่อถือได้ที่เที่ยงตรง แนวทางการออกแบบเพื่อความเชื่อถือได้ (Design for reliability) ใหม่ๆที่ได้พัฒนาขึ้นจะถูกประเมินอย่างถูกต้องแม่นยำและสอดคล้องกับสภาพการปฏิบัติงานจริง สำหรับระบบคอมพิวเตอร์ต่างๆในเชิงพาณิชย์ที่

เป็นผลผลิตจากการออกแบบเพื่อความเชื่อถือได้ที่เหมาะสมโดยอาศัยแบบจำลองที่ได้นำเสนอนี้เพื่อช่วยปรับปรุงความเชื่อถือได้ของวงจรจนเป็นที่น่าพอใจ ทำให้ผู้ใช้งานสามารถลดความสูญเสียทั้งในรูปแบบของอันตรายที่เกิดขึ้นและค่าใช้จ่ายที่เพิ่มขึ้นเมื่อระบบล้มเหลว นับเป็นผลกระทบทางอ้อมของงานวิจัยนี้

1.4 ขอบเขตการวิจัย

1.4.1 วงจรรวมที่ใช้ในการทดลองเป็นวงจร สร้างด้วยเทคโนโลยีขนาด 32 นาโนมิเตอร์ หรือต่ำกว่า ในระดับทรานซิสเตอร์ถูกทดสอบโดย SPICE ในระดับวงจรและสูงกว่าถูกสังเคราะห์ด้วยภาษาระดับสูง

1.4.2 การปรับปรุงความเชื่อถือได้ของวงจร จะดำเนินการในระดับวงจรเกตและระดับสถาปัตยกรรม โดยใช้ผลจากการวิเคราะห์ด้วย SPICE ในระดับทรานซิสเตอร์

1.4.3 ตัวแปรที่สำคัญที่มีผลต่อความเชื่อถือได้ของวงจรคือ กำลังไฟฟ้า อุณหภูมิ และสัญญาณรบกวนชั่วครู่

บทที่ 2 งานวิจัยและทฤษฎีที่เกี่ยวข้อง

เนื้อหาในบทนี้กล่าวถึงทฤษฎีหรือแบบจำลองของกลไกการเสื่อมสภาพชนิดต่างๆที่นำมาใช้เป็นหลักพื้นฐานในการดำเนินการศึกษา พร้อมทั้งแสดงงานวิจัยอื่นๆที่เกี่ยวข้องกับโครงการวิจัยนี้ซึ่งได้ทำการศึกษาเกี่ยวกับปรากฏการณ์ที่ผลกระทบต่อความเชื่อถือได้ของวงจรรวมดิจิทัล

2.1 ทฤษฎีที่เกี่ยวข้อง

ความเชื่อถือได้ของตัวประมวลผลนิยมแทนในรูปเวลาเฉลี่ยสู่ความล้มเหลว (Mean time to failure-MTTF) ซึ่งใช้บ่งชี้ถึงระยะเวลาที่วงจรสามารถทำงานได้โดยไม่ล้มเหลว ความเชื่อถือได้ของตัวประมวลผลแบ่งออกเป็นสองประเภท คือความเชื่อถือได้ของตัวประมวลผลในระยะยาว และความเชื่อถือได้ของตัวประมวลผลในระยะเวลาชั่วครู่

2.1.1 ความเชื่อถือได้ของตัวประมวลผลในระยะยาว

การเสื่อมสภาพของตัวประมวลผลในระยะยาว มีความสัมพันธ์โดยตรงกับอายุการใช้งานของวงจร มีปัจจัยด้านอุณหภูมิเป็นตัวแปรหลัก เราสามารถแบ่งประเภทกลไกการเสื่อมสภาพออกเป็น 5 ประเภทหลัก ดังต่อไปนี้

(a) อิเล็กโตรไมเกรชั่น (Electromigration)

ปรากฏการณ์อิเล็กโตรไมเกรชั่น เกิดขึ้นจากการถ่ายโอนโมเมนตัมของอะตอมธาตุโลหะภายในจุดเชื่อมต่อของโปรเซสเซอร์ อะตอมจะเคลื่อนย้ายจากปลายจุดเชื่อมต่อด้านหนึ่งไปอีกด้านหนึ่ง ส่งผลให้จุดเชื่อมต่อขาดจากกัน นำไปสู่สภาวะล้มเหลวในวงจร แบบจำลองเวลาเฉลี่ยสู่ความล้มเหลวที่เกิดจากอิเล็กโตรไมเกรชั่น แสดงได้ด้วยสมการที่ (1) [1], [2]

$$MTTF_{EM} \propto (J)^{-n} \frac{E_{a_{EM}}}{e^{kT}} \quad (1)$$

เมื่อ *J* คือความหนาแน่นกระแส (Current density) ในจุดเชื่อมต่อ $E_{a_{EM}}$ คือ พลังงานกระตุ้น (Activation energy) สำหรับอิเล็กโตรไมเกรชั่น *k* คือค่านิจโบลซ์มาน (Boltzmann's constant) และ *T* คือ อุณหภูมิ ค่า *n* และ $E_{a_{EM}}$ เป็นค่าคงที่ที่ขึ้นอยู่กับชนิดของโลหะที่ใช้เป็นจุดเชื่อมต่อ ในกรณีที่เป็นโลหะทองแดงจะมีค่าเท่ากับ 1.1 และ 0.9 ตามลำดับ

(b) สเตรซไมเกรชั่น (Stress migration)

เกิดจากความเค้นเชิงกล (Mechanical stress) ซึ่งจะส่งผลให้อะตอมโลหะภายในจุดเชื่อมต่อมีการเคลื่อนย้ายเหมือนกับปรากฏการณ์อิเล็กโตรไมเกรชั่น สาเหตุที่ทำให้เกิดสภาวะความเค้นเชิงกล คือการขยายตัวอันเนื่องมาจากอุณหภูมิ (Thermal expansion rate) ของวัสดุ วัสดุต่างชนิดกันมีอัตราการขยายตัวอันเนื่องมาจากอุณหภูมิที่ต่างกัน สเตรซไมเกรชั่นมีแบบจำลองเป็นดังนี้ [2]

$$MTTF_{SM} \propto (T_0 - T)^{-m} \frac{E_{a_{SM}}}{e^{kT}} \quad (2)$$

เมื่อ *T* เป็นอุณหภูมิสัมบูรณ์ในหน่วยเคลวิน T_0 เป็นอุณหภูมิในสภาวะที่ปราศจากความเค้น (หรืออุณหภูมิที่ใช้ในการพอกจุดเชื่อมต่อ มีค่าประมาณ 500 K) *m* และ $E_{a_{SM}}$ เป็นค่าคงที่ที่ขึ้นอยู่กับชนิดของโลหะที่ใช้เป็นจุดเชื่อมต่อ ในกรณีที่เป็นโลหะทองแดงจะมีค่าเท่ากับ 2.5 และ 0.9 ตามลำดับ

(c) การเสียของไดอิเล็กทริกที่ขึ้นกับเวลา (Time-dependent dielectric breakdown-TDDB)

หรือเรียกอีกอย่างว่า การเสียของเกต-ออกไซด์ (Gate-oxide breakdown) เป็นผลมาจาก การเสื่อมสภาพของสารไดอิเล็กทริกที่เกตของทรานซิสเตอร์ ส่งผลทำให้ทรานซิสเตอร์ทำงานล้มเหลว แบบจำลองของ TDDB เขียนได้ดังสมการที่ (3) [3]

$$MTTF_{TDDB} \propto \left(\frac{1}{V}\right)^{(a-bT)} e^{\frac{[X+(\frac{Y}{T})+ZT]}{kT}} \quad (3)$$

เมื่อ T เป็นอุณหภูมิสัมบูรณ์ในหน่วยเคลวิน และ a, b, X, Y, Z เป็น ฟิตติ้งพารามิเตอร์ (Fitting parameters)

(d) วงรอบอุณหภูมิ (Thermal cycling)

ความเสียหายอย่างถาวร จะเริ่มสะสมในแต่ละวงรอบของอุณหภูมิภายในโปรเซสเซอร์ วงรอบอุณหภูมิมีสองประเภท วงรอบใหญ่เกิดขึ้นที่ความถี่ต่ำจากกำลังไฟฟ้าที่เพิ่มขึ้นและลดลง วงรอบเล็กเกิดขึ้นที่ความถี่สูงจากพฤติกรรมของโหลดและการจัดการกำลังไฟฟ้าอย่างละเอียด เนื่องจากในวงการวิศวกรรมการออกแบบแพคเกจการศึกษาเกี่ยวกับวงรอบอุณหภูมิวงรอบเล็กไม่ได้ทำกันอย่างจริงจัง ดังนั้น ในปัจจุบันจึงยังขาดแบบจำลองที่ถูกต้อง ในส่วนของวงรอบอุณหภูมิวงรอบใหญ่มีแบบจำลองดังต่อไปนี้ [1]

$$MTTF_{TC} \propto \left(\frac{1}{T-T_{ambient}}\right)^{q} \quad (4)$$

เมื่อ $T_{ambient}$ เป็น อุณหภูมิโดยรอบ ในหน่วยเคลวิน T - $T_{ambient}$ เป็นวงรอบอุณหภูมิเฉลี่ยในชิป และ q เป็นตัวชี้กำลัง Coffin-Manson ซึ่งแตกต่างตามชนิดของวัสดุ

(e) การไร้เสถียรภาพต่ออุณหภูมิอันเนื่องมาจากการไบแอสแบบลบ (Negative bias temperature instability-NBTI)

NBTI เป็นปฏิกิริยาทางไฟฟ้าเคมีที่เกิดขึ้นในอุปกรณ์ PMOS ทำให้แรงดันเทรชโฮลด์ (Threshold voltage) ของทรานซิสเตอร์มีค่าเปลี่ยนไป ในระยะยาวจะก่อให้เกิดความล้มเหลวในการคำนวนของโปรเซสเซอร์อันเนื่องมาจากดีเลย์ของวงจรที่เกินขีดจำกัด แบบจำลองของ NBTI เป็นดังนี้ [3], [4]

$$\left\{\left[ln\left(\frac{A}{1+2e^{B/kT}}\right)-ln\left(\frac{A}{1+2e^{B/kT}}-C\right)\right]\times\frac{T}{e^{-D/kT}}\right\}^{\frac{1}{\beta}} \quad (5)$$

A, B, C, D และ β คือ ฟิตติ้งพารามิเตอร์

(f) กำลังไฟฟ้ารั่ว (Leakage)

กระแสรั่ว (Leakage current) ของเกต *i*, $I_{leak,i}$ สามารถจัดให้อยู่ในรูปฟังก์ชันของแรงดันไบแอสที่ตัวฐานรองของเกตนั้น $V_{BB,i}$ โดยในระหว่างการจำลองการทำงานของวงจรด้วย SPICE ผู้วิจัยได้แยกเกตแต่ละเกตในไลบรารี่ของการออกแบบมาทำการทดสอบเพื่อระบุกระแสรั่วที่สูงที่สุดในบรรดาอินพุตทั้งหมด ความสัมพันธ์ระหว่าง $I_{leak,i}$ และ $V_{BB,i}$ สามารถจัดให้อยู่ในรูปแบบสมการเอ็กโปเนนเชียลดังนี้

$$I_{leak,i}=\alpha+\beta e^{\gamma V_{BB,i}} \quad (6)$$

ในสมการที่ (6) ค่า α, β, และ γ เป็นค่าคงที่ที่เป็นจำนวนบวก สำหรับการไบแอสไปข้างหน้าที่ตัวฐานรองกำหนดให้ $V_{BB,i}$ มีเครื่องหมายบวก และสำหรับการไบแอสย้อนกลับกำหนดให้ $V_{BB,i}$ มีเครื่องหมายลบ จากสมการที่ (6) เราสามารถคำนวณกระแสรั่วทั้งหมดในเซลซิลิกอนของวงจรโดยการรวม $I_{leak,i}$ ของทุกๆ เกตเข้าด้วยกัน เนื่องจากกำลังไฟฟ้ารั่วของเกต *i* เป็นผลคูณระหว่าง $I_{leak,i}$ กับแรงดันแหล่งจ่าย $V_{DD,i}$ ดังนั้นในเซล (วงจร) หนึ่งๆ จะมีกำลังไฟฟ้ารั่วรวมทั้งหมด $P_{leak,cell}$ เท่ากับผลรวมของกำลังไฟฟ้ารั่วของแต่ละเกตดังสมการที่ (7)

$$P_{leak,cell}=\sum_{i=1}^{total\ \#\ of\ gates}(I_{leak,i}*V_{DD,i}) \quad (7)$$

การเพิ่มขึ้นของกำลังไฟฟ้ารั่วทำให้อุณหภูมิของวงจรเพิ่มขึ้น ซึ่งเป็นตัวกระตุ้นให้ความเชื่อถือได้ของวงจรในระยะยาวลดลง [5] ความสัมพันธ์ระหว่างอุณหภูมิที่เปลี่ยนแปลงและกำลังไฟฟ้ารั่วสามารถอธิบายได้อย่าง

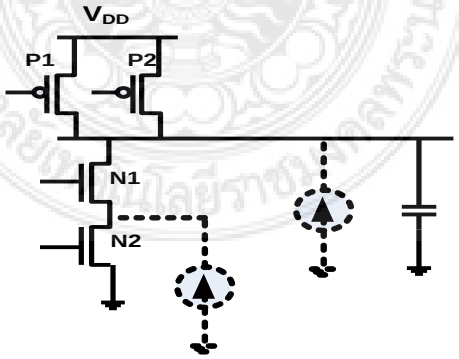
ชัดเจนโดยใช้แบบจำลองวงรอบอุณหภูมิขนาดใหญ่สำหรับเวลาเฉลี่ยสู่ความล้มเหลว (Mean time to failure, MTTF) ตามสมการที่ (4) ใน [1]

2.1.2 ความเชื่อถือได้ของตัวประมวลผลในระยะเวลาชั่วครู่

ความเชื่อถือได้ของตัวประมวลผลในระยะเวลาชั่วครู่ เป็นความเชื่อถือได้อันเป็นผลมาจากความผิดพลาดชั่วครู่ก่อให้เกิดความผิดพลาดในการคำนวณของวงจรประมวลผล แต่ไม่ได้ส่งผลถึงความเสียหายของวงจร สาเหตุสำคัญของความล้มเหลวชั่วครู่ของโปรเซสเซอร์ในระดับนาโนมิเตอร์คือซอฟท์เอเรอร์ ซึ่งเป็นผลมาจากการชนโดยอนุภาคนิวตรอนในบรรยากาศ อนุภาคนิวตรอนที่ไม่เคยก่อให้เกิดปัญหาต่ออุปกรณ์ที่มีขนาดระดับไมครอน กลับส่งผลกระทบอย่างรุนแรงต่อวงจรระดับนาโนมิเตอร์ จนกลายมาเป็นปัญหาด้านความเชื่อถือได้ในระยะเวลาชั่วครู่ ที่สำคัญในยุคนี้

(ก) การเกิดซอฟท์เอเรอร์ในระดับทรานซิสเตอร์

จำลองได้โดยการฉีดกระแสเข้าบริเวณเดรนของทรานซิสเตอร์ดังแสดงในรูปที่ 1 ค่าของกระแสดังกล่าวระบุได้ตามสมการที่ (8) [6], [7]



รูปที่ 1 แบบจำลองการเกิดซอฟท์เอเรอร์ในระดับทรานซิสเตอร์

$$I(t) = \frac{Q}{T}\sqrt{\frac{t}{T}}e^{-t/T} \quad (8)$$

ในสมการที่ (8) Q เป็น ปริมาณของประจุสะสมเนื่องจากปฏิกิริยานิวเคลียร์จากการชน T เป็นค่าคงที่เวลา ทิศทางของกระแสขึ้นอยู่กับประเภทของอุปกรณ์ทรานซิสเตอร์ [8] เกตใดๆก็ตามจะดำเนินการผิดพลาดเมื่อปริมาณประจุสะสมมากกว่าหรือเท่ากับ ประจุวิกฤติ (Critical charge- Q_{crit}) ซึ่งเป็นค่าของประจุสะสมที่ทำให้แรงดันขาออกของเกตนั้นเปลี่ยนไปเกินระดับ $V_{DD}/2$ การจำลองการเกิดซอฟท์เอเรอร์ด้วยวิธี SPICE ทำให้เราสามารถทราบข้อมูลของประจุวิกฤติได้ ค่าของประจุวิกฤติขึ้นอยู่กับ เทคโนโลยี ประเภทของเกต และสัญญาณขาเข้า [9], [10]

(b) การระบุซอฟท์เอเรอร์ของวงจร

การคำนวณอัตราของซอฟท์เอเรอร์ในวงจร (Circuit soft error rate) ใช้วิธีการที่นำเสนอใน [11] ซึ่งได้รวมผลกระทบจากเวกเตอร์ของระดับลอจิกขาเข้าไว้แล้ว อัตราของซอฟท์เอเรอร์ในวงจรแสดงดังสมการที่ 9

$$Circuit\ SER = \sum_i Gate\ SER_i \quad (9)$$

เมื่อ $Gate\ SER_i$ เป็นอัตราซอฟท์เอเรอร์ของเกต i ซึ่งก็คือผลรวมของ อัตราซอฟท์เอเรอร์ของทรานซิสเตอร์แต่ละตัวในเกต i ดังนี้

$$Gate\ SER_i = \sum_{i(j)} \sum_{i(t)} Tr\ SER_{i(j,t)} \quad (10)$$

เมื่อ $Tr\ SER_{i(j,t)}$ เป็นอัตราซอฟท์เอเรอร์ของทรานซิสเตอร์ t ในเกต i เมื่อได้รับเวกเตอร์ของระดับสัญญาณขาเข้า j

(c) ความเชื่อถือได้ที่เกี่ยวข้องกับซอฟท์เอเรอร์

เวลาเฉลี่ยสู่ความล้มเหลวอันเกี่ยวเนื่องมาจากซอฟท์เอเรอร์ ($MTTF_{SE}$) คือส่วนกลับของ อัตราของซอฟท์เอเรอร์ในวงจรตามสมการที่ (9) ค่าของ $MTTF_{SE}$ ในสมการที่ (11) แสดงเวลาเฉลี่ยของซอฟท์เอเรอร์ที่ปรากฏ ณ สัญญาณขาออกของวงจร [11]

$$MTTF_{SE} = \frac{1}{Circuit\ SER} \tag{11}$$

2.1.3 เวลาเฉลี่ยสู่ความล้มเหลวรวม

อุณหภูมิที่เพิ่มขึ้นในอุปกรณ์ทำให้ความเชื่อถือได้ในระยะยาวของวงจรลดลง ความสัมพันธ์ระหว่างอุณหภูมิที่เปลี่ยนแปลงและกำลังไฟฟ้ารั่วแสดงได้โดยการใช้แบบจำลองวงรอบใหญ่ของ (Large thermal cycle model) สำหรับเวลาเฉลี่ยสู่ความล้มเหลวใน [1] ถ้าพิจารณาให้วงจรทั้งวงจรประกอบไปด้วยเซลซิลิกอนเพียงเซลเดียว การเปลี่ยนแปลงของ MTTF อันเนื่องมาจากกำลังไฟฟ้ารั่ว ($MTTF_{leak}$) ของวงจรที่อุณหภูมิการทำงานใหม่ T_1 เทียบกับอุณหภูมิเริ่มต้น T_0 แสดงได้ดังสมการเอมพิริคัลต่อไปนี้

$$MTTF_{leak} = k\left(\frac{1}{T_1 - T_0}\right)^{2.35} \tag{12}$$

เมื่อ k คือค่าคงที่การแปรผันซึ่งเป็นตัวที่ไม่ทราบค่า ในการคำนวณค่า $MTTF_{leak}$ เราได้นิยาม w_{ZBB} ให้เป็นอัตราส่วนของ $MTTF_{leak}$ กับ $MTTF_{SE}$ เมื่อแรงดันที่ตัวฐานรองเป็นศูนย์ อัตราส่วนนี้แปรค่าอยู่ระหว่าง 25 ถึง 35 [3], [12] ดังนั้น เราสามารถระบุค่า k ได้จากสมการต่อไปนี้

$$k = w_{ZBB} * MTTF_{SE}|_{V_{BB}=0} * \left(T_1|_{V_{BB}=0} - T_0\right)^{2.35} \tag{13}$$

ถ้าพิจารณาให้ผลกระทบจากซอฟท์เอเรอร์และกระแสรั่วเป็นอิสระต่อกัน ผลรวมเวลาเฉลี่ยสู่ความล้มเหลวของวงจรที่รวมผลกระทบของปรากฏการณ์ทั้งสองเป็นไปตามสมการที่ (14) ดังนี้

$$MTTF_{circuit} = \frac{1}{\frac{1}{MTTF_{SE}} + \frac{1}{MTTF_{leak}}} \tag{14}$$

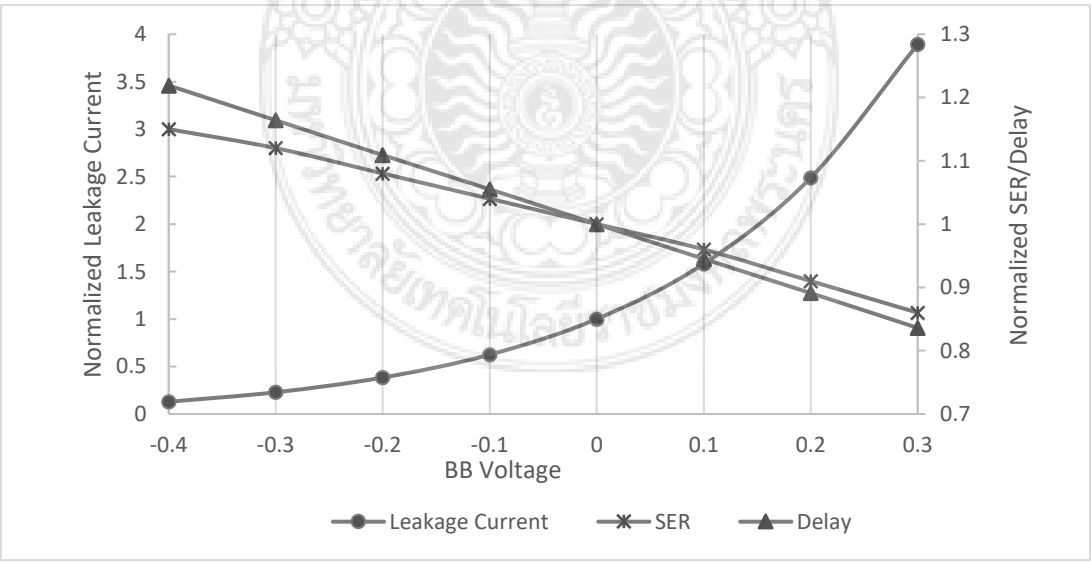
2.2 งานวิจัยที่เกี่ยวข้อง

มีงานวิจัยใหม่ๆ หลายงาน ที่ได้เสนอเทคนิคการปรับปรุงการถดถอยของความเชื่อถือได้ของวงจรรวมในระยะเวลาชั่วครู่อันเนื่องมาจากซอฟท์เอเรอร์อันเป็นปรากฏการณ์สำคัญในยุคนาโนมิเตอร์ ดังใน [11], [12], [13] มีวิธีการหลายวิธีการในการจัดการกับซอฟท์เอเรอร์ เช่น วิธีการทางฮาร์ดแวร์ ซอฟท์แวร์ และการเข้ารหัส ในหน่วยความจำและรีจิสเตอร์ไฟล์ (Register files) มีการใช้รหัสแก้ไขข้อผิดพลาด (Error correcting code: ECC) อย่างแพร่หลาย [14], [15] เพื่อแก้ไขข้อผิดพลาดชั่วครู่ที่เกิดจากการกลับค่าของสัญญาณ ส่วนการเพิ่มฮาร์ดแวร์ลงไปในตัวประมวลผลเพื่อปรับปรุงความเชื่อถือได้ต่อซอฟท์เอเรอร์ นิยมใช้ในวงจรประมวลผลที่ต้องการสมรรถนะเชิงเวลาจริง (Real-time performance) [16], [17] และใช้ในวงจรภาคคอมบิเนชันนัล (Combinational parts) อีกแนวทางหนึ่งคือวิธีการทางคอมไพล์เลอร์และสถาปัตยกรรมระดับไมโคร (Compiler and microarchitecture approaches) [18], [19] วิธีการนี้เข้ากันได้ดีกับการป้องกันรีจิสเตอร์ไฟล์ในวงจรประมวลผลฝังตัว (Embedded processors) ส่วนใหญ่ เนื่องจากไม่ต้องการฮาร์ดแวร์และกำลังไฟฟ้าเพิ่มเติม

อาจจะกล่าวได้ว่าตัวแปรอุณหภูมิ เป็นตัวแปรสำคัญที่ทำให้เกิดการถดถอยของความเชื่อถือได้ของวงจรในระยะยาว ต้นเหตุที่สำคัญที่สุดที่ทำให้อุณหภูมิของชิปมีการเปลี่ยนแปลงคือกำลังไฟฟ้า โดยเฉพาะกำลังไฟฟ้ารั่ว ที่เป็นปัญหาสำคัญของวงจรประมวลผลในปัจจุบัน มีงานวิจัยจำนวนหนึ่งที่ได้นำเสนอปัญหา และวิธีการจัดการปัญหากำลังไฟฟ้าที่เพิ่มขึ้นดังที่ปรากฏอยู่ใน [20], [21], [22], [23] วิธีการหนึ่งที่ประสบผลสำเร็จในการจัดการกับกำลังไฟฟ้ารั่วคือการปรับไบแอสที่ตัวฐานรองเนื่องจากมีการใช้พื้นที่เพิ่มไม่มากนักและมีผลลัพธ์เป็นที่น่าพอใจสำหรับเทคโนโลยีในปัจจุบัน [24] การลดกำลังไฟฟ้ารั่วด้วยวิธีการนี้ทำได้ในช่วงเวลาการออกแบบ (Design time)

และช่วงเวลาประมวลผล (Run time) เนื่องจากกำลังไฟฟ้ารั่วมีความสัมพันธ์กับแรงดันเทรชโฮลด์ การปรับแรงดันเทรชโฮลด์ด้วยวิธีการปรับไบแอสที่ตัวฐานรองทำให้กำลังไฟฟ้ารั่วเปลี่ยนแปลง โดยแรงดันเทรชโฮลด์จะเพิ่มสูงขึ้นเมื่อทรานซิสเตอร์ได้รับไบแอสย้อนกลับที่ตัวฐานรอง (Reverse body bias: RBB) ส่งผลให้กำลังไฟฟ้ารั่วลดลงแต่เวลาหน่วงของวงจรมีค่าสูงขึ้น ในทางตรงกันข้าม เมื่อทรานซิสเตอร์ได้รับไบแอสไปข้างหน้าที่ตัวฐานรอง (Forward body bias: FBB) จะส่งผลให้แรงดันเทรชโฮลด์ลดลง ทำให้กำลังไฟฟ้ารั่วเพิ่มขึ้นและวงจรจะมีสมรรถนะด้านเวลาที่ดีขึ้น (เวลาหน่วงลดลง) อย่างไรก็ดี การปรับไบแอสที่ตัวฐานรองเพื่อการปรับปรุงกำลังไฟฟ้ารั่วนี้ยังส่งผลกระทบถึงการเพิ่มขึ้นของอัตราการผิดพลาดชั่วครู่ของวงจรและความเชื่อถือได้ต่อความผิดพลาดถาวร (ในระยะยาว) ดังแสดงในรูปที่ 2 อันเป็นผลมาจากการเปลี่ยนแปลงแรงดันเทรชโฮลด์ดังที่ได้กล่าวถึงในหัวข้อที่ผ่านมา ในปัจจุบัน งานวิจัยด้านความเชื่อถือได้ของวงจรอันเนื่องมาจากกำลังไฟฟ้ายังไม่มีการบูรณาการกับความเชื่อถือได้ด้านอื่น ทำให้ผลลัพธ์ของงานวิจัยเหล่านั้นยังขาดความถูกต้อง

การแทนความเชื่อถือได้ของวงจรในเชิงปริมาณของงานวิจัยส่วนใหญ่นิยมใช้เวลาเฉลี่ยสู่ความล้มเหลว (MTTF) โดยปกติการหาค่าเวลาเฉลี่ยสู่ความล้มเหลวรวมของตัวประมวลผลอย่างคร่าวๆ ทำได้โดยการหาผลรวมของอัตราความล้มเหลว (ส่วนกลับของค่า MTTF แต่ละค่า) ในแต่ละปรากฏการณ์และตำแหน่งขององค์ประกอบ



รูปที่ 2 กราฟระหว่างกระแสไฟฟ้ารั่ว, SER, และเวลาหน่วง กับแรงดันไบแอสที่ตัวฐานรอง ในวงจร c17

วงจร แต่เนื่องจากกลไกการเกิดความล้มเหลวทำให้การกระจายของอายุการใช้งานเป็นแบบเอกโปเนนเชียล ไม่ใช่เชิงเส้น ทำให้วิธีการบูรณาการความเชื่อถือได้วิธีนี้ขาดความเที่ยงตรง อย่างไรก็ดี เราสามารถแก้ปัญหาโดยทำการคำนวณอัตราความล้มเหลวในแต่ละกลไกในช่วงเวลาสั้นๆ แล้วจึงหาค่าเฉลี่ยของอัตราความล้มเหลวตลอดช่วงเวลาที่รันแอพพลิเคชั่น [1] เนื่องจากแบบจำลองความเชื่อถือได้ส่วนใหญ่อยู่ในรูปสมการการแปรผัน การระบุค่าคงที่ของการแปรผันทำได้โดยอาศัยปัจจัยหลายอย่าง อาทิ วัสดุที่ใช้ออกแบบและสภาพของงาน สำหรับระบบทั่วไป ความเชื่อถือได้ในระยะเวลาชั่วครู่จะต่ำกว่าความเชื่อถือได้ระยะยาวอยู่มาก แต่เนื่องระบบที่ต่างกันได้รับผลกระทบจากความล้มเหลวทั้งสองด้านที่ต่างกัน การระบุค่าคงที่ของการแปรผันจะต้องคำนึงถึงความพลาดชั่วครู่ที่ผู้ใช้งานจะได้รับในช่วงเวลาหนึ่งๆ ไปพร้อมกับความสูญเสียถาวรที่เกี่ยวข้องกับอายุการใช้งานของวงจรรวมนั้น [11]

บทที่ 3 ระเบียบวิธีวิจัย

เนื้อหาในบทนี้กล่าวถึงวิธีการในการปรับปรุงความเชื่อถือได้ของวงจรดิจิทัลที่คำนึงถึงผลกระทบในระยะยาวจากอุณหภูมิโดยมีกำลังไฟฟ้ารั่วเป็นปัจจัยสำคัญและผลกระทบในระยะสั้นที่มีซอฟท์เอเรอร์เป็นปัญหาใหญ่ วิธีการที่ได้นำเสนอประกอบไปด้วยวิธีการหาค่าเหมาะที่สุด (Optimization approach) และวิธีการฮิวริสติกส์ (Heurisric approach) วิธีการแรกเป็นวิธีการที่สามารถเพิ่มความเชื่อถือได้ของวงจรได้มากที่สุดแต่ใช้เวลาในการคำนวณที่นานจึงไม่เหมาะสำหรับการใช้งานในวงจรที่มีขนาดใหญ่ คณะผู้วิจัยจึงได้นำเสนอวิธีการหลังที่ซึ่งใช้เวลาในการคำนวณที่น้อยกว่าแต่ให้ผลลัพธ์ที่ใกล้เคียงกับคำตอบจากวิธีการหาค่าเหมาะที่สุดจึงสามารถนำมาใช้ได้ในวงจรที่มีขนาดใหญ่

3.1 การตั้งปัญหาการหาค่าเหมาะที่สุด

ในปัญหาการหาค่าเหมาะที่สุด (Optimization problem) เรากำหนดให้ค่าสูงสุดสุดของ $MTTF_{circuit}$ ในสมการที่ (14) เป็นฟังก์ชันจุดประสงค์ (Objective function) โดยมี $V_{BB,i}$ และเวลาหน่วงที่เอาท์พุตของเกตเป็นตัวแปร เงื่อนไขบังคับ (Constraints) ของปัญหาประกอบไปด้วย เวลาหน่วงวิกฤติที่ต้องคงค่าไว้และเงื่อนไขขอบเขตของเวลาหน่วงของเกตแต่ละเกต

เวลาหน่วงการแพร่กระจายในกรณีแย่ที่สุด (Worst case propagation delay) ของเกตแต่ละเกตในไลบลารี่ของการออกแบบสามารถระบุได้โดยใช้การจำลองการทำงานด้วย SPICE ซึ่งเราสามารถสรุปได้ว่าความสัมพันธ์ระหว่างเวลาหน่วงการแพร่กระจายในกรณีแย่ที่สุดกับแรงดันไบแอสที่ตัวฐานรองมีลักษณะเป็นเชิงเส้น สำหรับในส่วนที่เหลือของรายงานนี้ เวลาหน่วงการแพร่กระจายในกรณีแย่ที่สุด จะถูกใช้แทนด้วย “เวลาหน่วงการแพร่กระจาย” หรือ “เวลาหน่วง”

ในงานวิจัยนี้ เราไม่ต้องการให้วงจรมีเวลาหน่วงที่เพิ่มขึ้น ดังนั้นเวลาหน่วงวิกฤติ T_{max} ของวงจรทดลองแต่ละวงจรจึงถูกกำหนดให้คงที่ ค่าของ T_{max} จัดเป็นเงื่อนไขบังคับหนึ่งของปัญหาในฐานะที่เป็นตัวจำกัดเวลาที่

สัญญาณมาถึงเอาท์พุตหลักของวงจร เราสามารถใช้ระเบียบวิธีการทางทฤษฎีกราฟเพื่อหาเส้นทางวิกฤติ (Critical paths) และ ค่า T_{max} ของวงจร

ปัญหาการหาค่าเหมาะที่สุดสามารถสร้างได้ดังนี้ สำหรับเกต i ที่มีเวลาหน่วงการแพร่กระจาย d_i เรานิยามตัวแปร a_i เป็นเวลาที่สัญญาณมาถึงเอาท์พุตของเกต i ถ้าให้เกต f ต่อกับอินพุตหนึ่งของเกต i จุดประสงค์และเงื่อนไขบังคับของปัญหากำหนดโดยสมการ (15), (16), (17), และ (18) [25]

$$max\ \{MTTF_{circuit}\} \tag{15}$$

$$a_f + d_i \leq a_i, \forall f \in fanin\ of\ i \tag{16}$$

$$\left.\begin{matrix} a_i = 0 \\ d_i = 0 \end{matrix}\right\} \forall i \in PI \tag{17}$$

$$a_i \leq T_{max}, \forall i \in set\ of\ gates\ connected\ to\ PO \tag{18}$$

สำหรับเงื่อนไขบังคับของปัญหาข้างต้น เรากำหนดให้อินพุตหลักของวงจรเป็นเกตดัมมีที่เป็นไปตามเงื่อนไขใน (17) เวลาที่สัญญาณมาถึงเอาท์พุตหลักต้องไม่เกิน T_{max} ดังใน (18) นอกเหนือไปจากเงื่อนไขบังคับที่เกี่ยวข้องกับเวลาหน่วงของเกตและวงจรแล้ว ข้อจำกัดบนและล่างของแรงดันไบแอสที่ตัวฐานรองสำหรับปัญหานี้แสดงดังสมการที่ (19)

$$V_{BB,MIN} \leq V_{BB,i} \leq V_{BB,MAX} \tag{19}$$

เพื่อลดความซับซ้อนในการแก้ปัญหาการหาค่าเหมาะที่สุด ในขั้นต้นเราจึงกำหนดให้ตัวแปร $V_{BB,i}$ เป็นค่าต่อเนื่อง คำตอบที่เหมาะที่สุดจึงต้องถูกทำให้เป็นช่วงๆ ให้สอดคล้องกับระดับแรงดันที่ต้องการโดยดำเนินการดังนี้ ในตอนแรกค่าต่อเนื่องของ $V_{BB,i}$ จะถูกปัดให้มีค่าเท่ากับแรงดันที่ตัวฐานรองที่ใกล้เคียงที่สุด จากนั้นจึงทำการคำนวณเวลาหน่วงวิกฤติที่สอดคล้องกับแรงดันนี้ ถ้าเวลาหน่วงวิกฤติใหม่ยังไม่เป็นไปตามสมการที่ (18) เราต้อง

เลือกเกตตัวหนึ่งในเส้นทางวิกฤติแล้วกำหนดค่าแรงดันที่ตัวฐานรองใหม่โดยเพิ่มแรงดันหนึ่งระดับทางด้านไบแอสไปข้างหน้าเพื่อเพิ่มสมรรถนะของวงจร เกตที่เป็นตัวเลือกนี้จะต้องมีอัตราการเพิ่มของกระแสรั่วเมื่อเทียบกับแรงดันที่ตัวฐานรองที่ต่ำที่สุด และมี SER ที่สูงที่สุดในการเคลื่อนไปทางด้านไบแอสไปข้างหน้า เราดำเนินการซ้ำเพื่อปรับปรุงเวลาหน่วงของวงจรจนกว่าเวลาหน่วงวิกฤติจะมีค่าไม่เกิน T_{max}

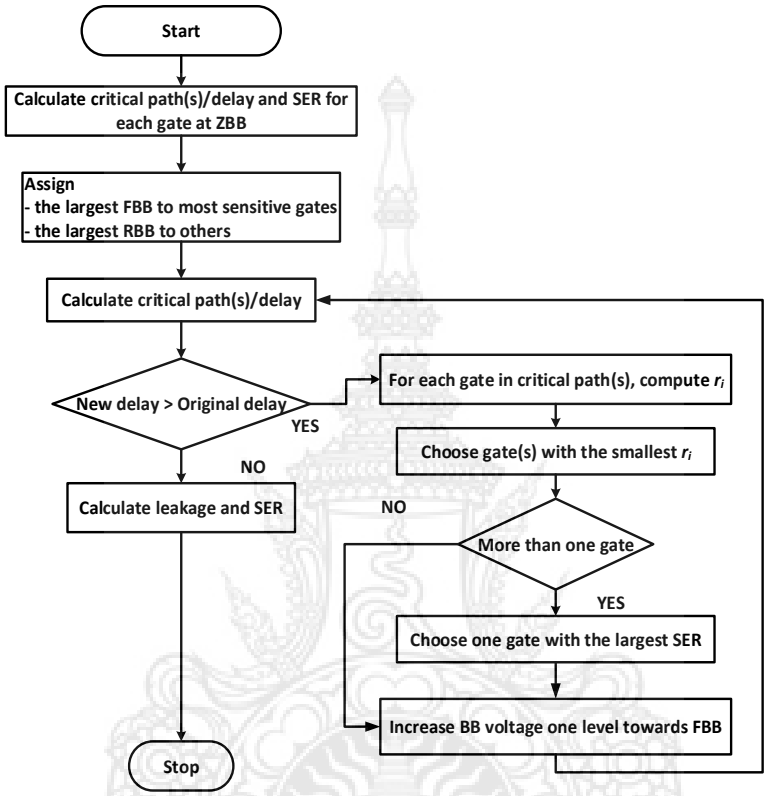
อย่างไรก็ดี เมื่อพิจารณาเวลาเฉลี่ยของซีพียูพบว่าวิธีการนี้ใช้เวลาในการคำนวณสูงมาก จึงเป็นข้อด้อยที่สำคัญ ด้วยเหตุนี้การใช้วิธีการหาค่าเหมาะที่สุดจึงไม่สามารถนำมาใช้แก้ปัญหาในวงจรขนาดใหญ่ได้ คณะผู้วิจัยจึงได้นำเสนอวิธีการทางฮิวริสติกส์เพื่อขยายขอบเขตการใช้งานไปสู่วงจรที่มีขนาดใหญ่ โดยได้ลดความซับซ้อนในการคำนวณลงแต่ได้รับผลลัพธ์ใกล้เคียงกับผลลัพธ์ที่เหมาะที่สุดซึ่งจะได้อภิปรายในหัวข้อถัดไป

3.2 การแก้ปัญหาด้วยวิธีฮิวริสติกส์

เทคนิคฮิวริสติกส์ (Heuristics) ที่ได้นำเสนอ เน้นเรื่องการลดปริมาณกระแสรั่ว ในขณะที่มีการจำกัดการเพิ่มขึ้นของ SER ของแต่ละเกตและรักษาเวลาหน่วงวิกฤติไม่ให้สูงกว่าค่าเริ่มต้น วิธีการนี้ถูกพัฒนามาจากพื้นฐานว่า ค่าแรงดันไบแอสย้อนหลังค่าสูงๆ ควรถูกกำหนดให้แก่เกตที่มีอัตราการลดลงของกระแสรั่วที่สูง แต่มีความไวต่อซอฟท์เอเรอร์ที่ต่ำกว่า ดังนั้นเราสามารถลดปริมาณกระแสรั่วในเกตเหล่านี้ได้ในปริมาณที่มากโดยส่งผลกระทบเพียงเล็กน้อยต่อการเพิ่มขึ้นของ SER สำหรับเกตบางเกตที่มีอัตราการลดลงของกระแสรั่วที่น้อยแต่มีความไวต่อซอฟท์เอเรอร์ที่สูงก็จะถูกกำหนดให้ได้รับแรงดันที่ตัวฐานรองไปข้างหน้า เกตเหล่านี้เป็นตัวเลือกที่ดีในการปรับปรุงเวลาหน่วงของวงจรโดยไม่ส่งผลกระทบต่อการเพิ่มขึ้นของกระแสรั่ว

รูปที่ 3 แสดงวิธีการที่ได้นำเสนอเพื่อลดกำลังไฟฟ้ารั่วโดยคำนึงถึงซอฟท์เอเรอร์ ขั้นแรกเป็นการคำนวณเวลาหน่วงวิกฤติเริ่มต้นของวงจรและ SER ของเกตที่มีแรงดันไบอัสที่ตัวฐานรองเป็นศูนย์ จากนั้นเกตทั้งหมดที่มีความไวต่อซอฟท์เอเรอร์ที่สูงที่สุดจะถูกกำหนดให้มีแรงดันไบแอสไปข้างหน้าที่ตัวฐานรองในระดับสูงสุด ความมุ่งหมายของขั้นตอนนี้ก็เพื่อลด SER ของวงจรโดยการจัดการกับเกตจำนวนน้อยๆที่มีความไวต่อซอฟท์เอเรอร์ ในส่วนของเกตอื่นๆ ที่มีความไวต่อซอฟท์เอเรอร์ที่ต่ำกว่าจะถูกกำหนดให้ได้รับไบแอสย้อนหลังที่ตัวฐานรองด้วยค่าสูงที่สุดเพื่อลดกระแสรั่ว เนื่องจากเวลาหน่วงของเกตและวงจรเพิ่มขึ้นเมื่ออุปกรณ์ได้รับแรงดันไบแอสที่ตัวฐานรอง

ทางด้านย้อนกลับ ขั้นตอนของการจัดการกับเวลาหน่วงที่สูงกว่าค่าเริ่มต้นโดยควบคุมให้สมรรถนะด้านเวลาของวงจรคงที่จึงมีความจำเป็น



รูปที่ 3 ผังแสดงวิธีการลดกำลังไฟฟ้ารั่วโดยคำนึงถึงซอฟท์เอเรอร์

ในกระบวนการปรับปรุงเวลาหน่วง เราเริ่มต้นการทำซ้ำรอบแรกด้วยการคำนวณเวลาหน่วงวิกฤติใหม่ของวงจร เวลาหน่วงนี้จะถูกนำมาตรวจสอบว่ามีค่าเกินกว่าค่าเริ่มต้นหรือไม่ ถ้าเวลาหน่วงวิกฤติใหม่มีค่าน้อยกว่าหรือเท่ากับเวลาหน่วงวิกฤติเริ่มต้น เราจึงจะหยุดการทำซ้ำ แต่หากเวลาหน่วงวิกฤติใหม่มีค่าเกินกว่าค่าเริ่มต้น ไบแอสที่ตัวฐานรองของเกตบางเกตต้องถูกปรับค่าให้สูงขึ้นทางด้านไปข้างหน้าเพื่อเพิ่มสมรรถนะของวงจร วิธีการเลือกเกตที่เหมาะสมในการปรับปรุงเวลาหน่วงสามารถกระทำได้ดังนี้ ในแต่ละรอบของการทำซ้ำ เราทำการหาเกตตัวหนึ่ง

ในเส้นทางวิกฤติที่มีอัตราการเพิ่มของกระแสรั่ว r_i เทียบกับแรงดันไปข้างหน้า ที่ต่ำที่สุด ค่าของ r_i สามารถระบุได้จากการหาอนุพันธ์ของ $I_{leak,i}$ ในสมการที่ (6) เทียบกับ $V_{BB,i}$ ดังแสดงในสมการที่ (20)

$$r_i = \left.\frac{\partial I_{leak,i}}{\partial V_{BB,i}}\right|_{V_{BB,i}=\text{assigned BB}} \tag{20}$$

ในกรณีที่มีเกตหลายตัวมีค่า r_i เท่ากัน เกตที่มีความไวต่อซอฟท์เอเรอร์ที่สูงที่สุดหรือมีค่า SER ที่สูงที่สุดจะถูกเลือก เมื่อได้เกตที่ต้องการแล้ว เราจึงเพิ่มแรงดันไบแอสที่ตัวฐานรองเพิ่มหนึ่งระดับทางด้านไปข้างหน้าเพื่อทำให้เกตนี้มีความเร็วเพิ่มขึ้น เราทำการหาเส้นทางวิกฤติใหม่พร้อมทั้งหาค่าเวลาหน่วง และกำหนดค่าแรงดันไบแอสที่ตัวฐานรอง ซ้ำไปเรื่อยๆ จนกว่าสมรรถนะด้านเวลาหน่วงของวงจรจะเป็นไปตามต้องการ

บทที่ 4 ผลการทดลองและการวิเคราะห์

เนื้อหาในบทนี้รายงานผลการนำวิธีการที่ได้นำเสนอทั้งวิธีการหาค่าเหมาะที่สุดและวิธีฮิวริสติกส์ไปใช้ปรับปรุงความเชื่อถือได้เชิงบูรณาการในวงจรมาตรฐาน พร้อมทั้งวิเคราะห์จุดที่น่าสนใจจากผลการทดลองดังกล่าว

4.1 วิธีการหาค่าเหมาะที่สุด

ในส่วนนี้จะได้แสดงผลลัพธ์ของวิธีการหาค่าเหมาะที่สุดที่ได้นำเสนอ วิธีการนี้ให้ผลลัพธ์เป็นค่าไบแอสที่ตัวฐานรองที่ดีที่สุดที่ให้ค่า $MTTF_{circuit}$ สูงสุดโดยไม่มีการสูญเสียสมรรถนะ ในการประเมินผลเทคนิคที่ได้พัฒนาขึ้นมานี้ เรา

ตารางที่ 1 ผลลัพธ์ของวิธีการหาค่าเหมาะที่สุดสำหรับวงจรขนาดเล็ก ค่า w_{ZBB} = 25

Circuit	w_{ZBB}= 25			
	Delay	*SER*	*Leakage*	*MTTF*
C499	0.9998	0.9958	0.6482	1.0294
C880	0.9893	0.9970	0.6565	1.0278
C1355	0.9983	0.9966	0.6896	1.0263
S208	0.9920	0.9860	0.6612	1.0388
S420	0.9984	0.9862	0.6467	1.0394
S838	0.9997	0.9854	0.6541	1.0398
i1	0.9904	0.9620	0.8126	1.0542
i2	0.9920	0.9138	0.5891	1.1239
i3	0.9963	0.9259	0.7536	1.0988

เลือกวงจรมาตรฐานจาก ISCAS'85 ISCAS'89 (เฉพาะส่วนคอมบิเนชันนัล) และ ITC เป็นวงจรสำหรับการทดลองอีกประการหนึ่ง อุปกรณ์ทรานซิสเตอร์ทั้งหมดถูกออกแบบด้วยแบบจำลองคาดการณ์ (predictive model) [26] ที่มีขนาดของเทคโนโลยี 32 นาโนเมตร

กล่องเครื่องมือ MATLAB optimization ถูกนำมาใช้เพื่อแก้ปัญหาการหาค่าเหมาะที่สุดที่ไม่เป็นเชิงเส้น โดยมีเงื่อนไขบังคับที่เป็นเชิงเส้นดังแสดงในสมการที่ (15) – (18) กรอบงานได้ถูกสร้างในเครื่องคอมพิวเตอร์ที่ใช้ซีพียู Intel Quad-Core ที่มีความถี่สัญญาณนาฬิกาเท่ากับ 4 GHz และมี SDRAM ขนาด 12 GB ไลบรารี่ของการออกแบบประกอบไปด้วยเกต NAND และ NOR ที่มีช่องสัญญาณขาเข้า 2, 3, และ 4 ช่องสัญญาณ และ Inverters ผลที่รายงานในส่วนนี้เป็นการแสดงเทียบกับค่าเริ่มต้นที่ซึ่งแรงดันไบแอสที่ตัวฐานรองของเกตทุกเกตในวงจรเป็นศูนย์ อีกทั้งยังได้แสดงเวลาเฉลี่ยของซีพียูที่ใช้ในการแก้ปัญหาการหาค่าเหมาะที่สุดภายใต้ค่า w_{ZBB} ที่แตกต่างกัน

ตารางที่ 1 - **Error! Reference source not found.** แสดงผลของเวลาหน่วง SER กระแสไฟฟ้ารั่ว และเวลาเฉลี่ยสู่ความล้มเหลว ในการทดลองนี้ค่าแรงดันไบแอสย้อนกลับและไปข้างหน้าที่ตัวฐานรองที่ต่ำที่สุดและ

ตารางที่ 2 ผลลัพธ์ของวิธีการหาค่าเหมาะที่สุดสำหรับวงจรขนาดเล็ก ค่า w_{ZBB} = 30

Circuit	w_{ZBB}= 30			
	Delay	*SER*	*Leakage*	*MTTF*
C499	0.9976	0.9852	0.7635	1.0303
C880	1.0000	0.9972	0.6321	1.0246
C1355	0.9983	0.9966	0.6905	1.0225
S208	0.9952	0.9834	0.7221	1.0344
S420	0.9937	0.9829	0.7074	1.0357
S838	0.9935	0.9832	0.7024	1.0357
i1	0.9904	0.9606	0.8368	1.0517
i2	0.9921	0.9132	0.6040	1.1190
i3	0.9963	0.9258	0.7558	1.0957

ตารางที่ 3 ผลลัพธ์ของวิธีการหาค่าเหมาะที่สุดสำหรับวงจรขนาดเล็ก ค่า w_{ZBB} = 35

Circuit	w_{ZBB}= 35			
	Delay	*SER*	*Leakage*	*MTTF*
C499	0.9959	0.9837	0.7952	1.0281
C880	0.9996	0.9928	0.6797	1.0241
C1355	1.0000	0.9958	0.7060	1.0200
S208	0.9952	0.9808	0.7570	1.0330
S420	0.9843	0.9811	0.7626	1.0325
S838	0.9937	0.9820	0.7088	1.0340
i1	0.9904	0.9600	0.8488	1.0501
i2	0.9823	0.9115	0.6674	1.1150
i3	0.9866	0.9257	0.7628	1.0932

สูงที่สุด กำหนดให้เท่ากับ -0.4 และ 0.3 V ตามลำดับ เนื่องมาจาก หากแรงดันไบแอสที่ตัวฐานรองมีค่าเกินขอบเขตดังกล่าว เราอาจพบกรณีที่การลดลงของกำลังไฟฟ้ารั่วมีการอิ่มตัวหรือเกตอาจทำงานผิดปกติ แรงดันไบแอสที่ตัวฐานรองที่จ่ายให้แก่เกตถูกปรับ เป็นขั้น ขั้นละ 0.1 V เริ่มตั้งแต่ค่าต่ำสุดของการไบแอสย้อนกลับไปจนถึงค่าสูงสุดของการไบแอสไปข้างหน้า ค่า w_{ZBB} ถูกกำหนดให้เป็น 25, 30, และ 35 โดยในตารางนี้จะพบว่า การเพิ่มขึ้นของเวลาเฉลี่ยสู่ความล้มเหลวของวงจรทดลองที่ได้จากวิธีการการหาค่าเหมาะที่สุดที่ได้พัฒนาขึ้นนี้มีค่าอยู่ระหว่าง 2% ถึง 12% (วงจร i2 มีการเพิ่มสูงที่สุด ในขณะที่วงจร C1355 มีการเพิ่มของเวลาเฉลี่ยสู่ความล้มเหลวที่น้อยที่สุด) วิธีการนี้สามารถลดกระแสไฟฟ้ารั่วได้มากถึง 40% และสิ่งที่น่าสนใจคือ ไม่พบการเพิ่มขึ้นของ SER ในวงจรทดลองใดๆ สำหรับเวลาเวลาเฉลี่ยของซีพียูที่ใช้ในการหาคำตอบที่เหมาะที่สุดแสดงในตารางที่ 4 โดยมีค่าสูงขึ้นเมื่อใช้ในวงจรที่มีขนาดใหญ่

ตารางที่ 4 เวลาเฉลี่ยของซีพียูเพื่อหาคำตอบที่เหมาะที่สุด

Circuit	Average CPU time (10^3 s)
C499	17.24
C880	20.64
C1355	15.76
S208	0.76
S420	3.22
S838	18.47
i1	0.07
i2	2.48
i3	0.60

4.2 วิธีฮิวริสติกส์

ดังที่ได้อภิปรายในหัวข้อที่ผ่านมา วิธีการหาค่าเหมาะที่สุดมีความต้องการใช้เวลาซีพียูมาก (ดูตารางที่ 4) จึงไม่สามารถนำมาใช้ได้กับวงจรที่มีขนาดใหญ่ ข้อด้อยนี้นำมาสู่การพัฒนาวิธีฮิวริสติกส์ที่มีเวลาในการคำนวณที่น้อยกว่าและสามารถนำมาใช้ปรับปรุงความเชื่อถือได้ในวงจรที่มีขนาดใหญ่ การจำลองผลการทำงานด้วยวิธีฮิวริสติกส์นี้สร้างจาก JAVA ในขณะที่วิธีการปรับค่าให้เหมาะที่สุดจะใช้ MATLAB เป็นเครื่องมือหลัก ในหัวข้อนี้จะได้รายงานงานผลที่ได้จากวิธีการฮิวริสติกส์ที่ได้นำเสนอโดยนำมาใช้กับวงจรขนาดใหญ่ที่มีจำนวนเกตมากจนถึง 20,000 เกต จากนั้นจะได้รายงานผลกระทบจากจำนวนระดับขั้นของแรงดันไบแอสที่ตัวฐานรองที่มีต่อความเชื่อถือได้ที่ได้รับการปรับปรุง

หลังจากที่ได้จำลองผลการทำงานในระดับอุปกรณ์ด้วย SPICE กรอบงานในระดับเกตเป็นการอิมพลีเมนท์โดยใช้ JAVA ในการทดลองนี้ใช้ไลบรารี่เช่นเดียวกับวิธีการปรับค่าให้เหมาะที่สุดแต่เลือกใช้เทคโนโลยีขนาด 32 นา

ตารางที่ 5 ผลการปรับปรุงกำลังไฟฟ้ารั่วโดยคำนึงถึงซอฟท์เอเรอร์ด้วยวิธีฮิวริสติกส์

Circuit	Soft error-aware leakage reduction			
	Delay	*Leakage*	*SER*	*CPU time (s)*
C499	1.00	0.61	0.99	10.97
C880	1.00	0.68	1.00	2.26
C1355	1.00	0.77	0.99	12.94
C1908	1.00	0.35	1.00	3.35
C5315	1.00	0.30	0.99	50.90
C6288	1.00	0.66	1.00	182.91
S208	1.00	0.53	1.00	0.17
S838	1.00	0.48	0.99	1.46
S13207	1.00	0.50	0.99	169.60
S15850	1.00	0.52	1.00	433.00
i1	1.00	0.67	0.98	0.08
i2	1.00	0.52	0.97	1.28
i3	1.00	0.70	0.97	0.53
i4	1.00	0.45	0.99	1.07
i5	0.99	0.91	1.00	0.31
i6	1.00	0.54	1.00	10.16
i7	0.98	0.56	1.00	12.08
i8	1.00	0.37	0.98	72.20

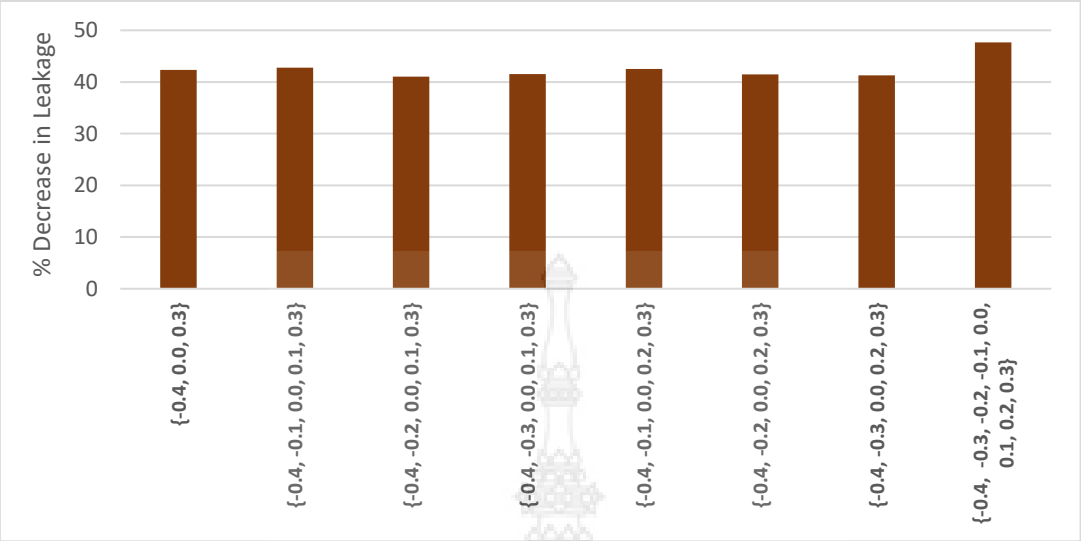
โนมิเตอร์ชนิด high-k/metal gate จาก [26] ตารางที่ 5 และตารางที่ 6 แสดงผลของเวลาหน่วง กระแสไฟฟ้ารั่ว SER และเวลาที่ซีพียูใช้ในการคำนวณ โดยเปรียบเทียบวิธีการที่ได้นำเสนอซึ่งพิจารณาผลกระทบจากซอฟท์เอเรอร์ (ตารางที่ 5) และวิธีการที่ไม่พิจารณาผลกระทบจากซอฟท์เอเรอร์ในขณะที่แรงดันไบแอสที่ตัวฐานรองมีการแปรค่า (ตารางที่ 6) การทดลองในส่วนนี้กำหนดให้แรงดันไบแอสที่ตัวฐานรองแปรค่าเป็นขั้นๆ ระหว่างค่าต่ำสุดและสูงสุด - 0.4 ถึง + 0.3 V โดยแต่ละขั้นมีแรงดันต่างกัน 0.1 V แรงดันไบแอสที่ตัวฐานรองของเกตที่มีความไวสูงต่อซอฟท์เอเรอร์ 10% แรกถูกกำหนดให้มีค่าเริ่มต้นที่ 0.3 V ซึ่งเป็นค่าไบแอสไปข้างหน้าสูงสุดที่ใช้ในการศึกษานี้ การทดลองทั้งสองนี้กำหนดให้สมรรถนะด้านเวลาหน่วงของวงจรไม่มีการเปลี่ยนแปลง จากตารางที่ 5 พบว่าวิธีการที่

ตารางที่ 6 ผลการปรับปรุงกำลังไฟฟ้ารั่วโดยไม่พิจารณาซอฟท์เอเรอร์ด้วยวิธีฮิวริสติกส์

Circuit	Leakage reduction without soft error consideration			
	Delay	*Leakage*	*SER*	*CPU time (s)*
C499	1.00	0.56	1.07	11.46
C880	1.00	0.23	1.09	2.29
C1355	1.00	0.75	1.08	13.90
C1908	1.00	0.25	1.08	3.54
C5315	1.00	0.18	1.09	52.64
C6288	1.00	0.39	1.08	200.70
S208	0.99	0.24	1.08	0.19
S838	1.00	0.21	1.09	1.43
S13207	1.00	0.14	1.09	186.67
S15850	1.00	0.15	1.09	463.22
i1	1.00	0.29	1.09	0.08
i2	1.00	0.62	1.09	1.51
i3	1.00	0.62	1.08	0.61
i4	1.00	0.35	1.08	1.20
i5	1.00	0.15	1.09	0.32
i6	1.00	0.41	1.08	10.74
i7	1.00	0.38	1.08	13.90
i8	1.00	0.24	1.08	75.87

ได้นำเสนอสามารถลดกระแสไฟฟ้ารั่วได้มากถึง 70% โดยที่ SER คงที่หรือลดลงในวงจรทดลองบางวงจร แต่ในตารางที่ 6 เราพบว่าวิธีการนี้สามารถลดกระแสไฟฟ้ารั่วได้มากกว่าในขณะที่ SER เพิ่มขึ้นราว 7 – 9%

ผู้วิจัยได้ทำการศึกษาต่อมา ถึงผลกระทบจากระดับขั้นแรงดันไบแอสที่ตัวฐานรองที่มีต่อการลดลงของกระแสไฟฟ้ารั่ว รูปที่ 4 แสดงการลดลงของกระแสไฟฟ้ารั่วของวงจร i2 การทดลองในส่วนนี้ทำการการปรับแรงดันไบแอสที่ตัวฐานรองในหลายรูปแบบดังแสดงในแกนนอนของกราฟแท่งในรูปที่ 4 จากรูปจะเห็นได้ว่าการเลือกระดับขั้นของแรงดันไบแอสที่ตัวฐานรองส่งผลกระทบน้อยมากต่อผลลัพธ์ โดยการลดลงของกระแสไฟฟ้ารั่วแตกต่างกันสูงสุดเพียง 6% (จาก 48% เหลือ 42%) ในวงจรทดลองนี้ ข้อดีของการมีจำนวนระดับขั้นแรงดันที่ตัว



รูปที่ 4 การลดลงของกระแสไฟฟ้ารั่วในวงจร i2 ที่ได้รับเซตของแรงดันไบแอสที่ตัวฐานรองที่ต่างกัน

ฐานรองที่น้อยนี้ส่งผลทำให้ต้นทุนของผังวงจรโดยรวมลดลงอย่างมาก และลดความซับซ้อนในการวางอุปกรณ์และการเชื่อมต่อในขั้นตอนการออกแบบ ผู้วิจัยเชื่อว่าวิธีการที่ได้นำเสนอนี้ยังคงให้ผลลัพธ์ด้านต้นทุนที่เหมาะสมโดยไม่ส่งผลกระทบต่อประสิทธิภาพในการลดกระแสไฟฟ้ารั่ว

ตารางที่ 7 แสดงผลของเวลาหน่วง SER กระแสไฟฟ้ารั่ว และเวลาที่ซีพียูใช้ เมื่อนำวิธีการที่ได้นำเสนอไปใช้ในวงจรทดลองโดยลดจำนวนขั้นของแรงดันไบแอสที่ตัวฐานรองลงเหลือเพียง 3 ระดับ คือ {-0.4, 0.0, 0.3} V เมื่อเปรียบเทียบกับผลลัพธ์ในตารางที่ 5 ที่กำหนดให้ระดับขั้นของแรงดันไบแอสที่ตัวฐานรองเป็นขั้นละ 0.1 V ตลอดช่วง -0.4 ถึง 0.3 V พบว่าวงจรส่วนมากมีผลการลดลงของกระแสไฟฟ้ารั่วที่ใกล้เคียงกัน ยิ่งไปกว่านั้นในการทดลองนี้ใช้เวลาซีพียูที่น้อยมากเนื่องจากจำนวนระดับของแรงดันไบแอสที่ตัวฐานรองที่น้อยนี้จะช่วยลดกระบวนการทำซ้ำในขั้นตอนการปรับเวลาหน่วง

4.3 วิเคราะห์ผลการทดลอง

ความสำคัญในจัดการกระแสไฟฟ้ารั่วไปพร้อมกับซอฟท์เอเรอร์นี้ เกิดขึ้นจากความจริงที่ว่าเทคนิคเดิมที่ใช้หลักการปรับแรงดันไบแอสที่ตัวฐานรองสามารถแก้ปัญหาหนึ่งได้แต่กลับทำให้ปัญหาอีกด้านแย่ลง ยกตัวอย่างใน

ตารางที่ 7 การลดลงของกระแสไฟฟ้ารั่วเมื่อจ่ายแรงดันไบแอสที่ตัวฐานรอง 3 ระดับ

Circuit	Delay	Leakage	SER	CPU Time (s)
C499	1.00	0.75	0.99	3.17
C880	1.00	0.73	1.00	0.75
C1355	1.00	0.86	0.99	3.60
C1908	1.00	0.38	1.00	0.94
C5315	1.00	0.31	0.99	15.30
C6288	1.00	0.76	1.00	49.77
S208	1.00	0.56	1.00	0.08
S838	1.00	0.52	0.99	0.56
S13207	1.00	0.50	0.99	45.42
S15850	1.00	0.53	1.00	139.77
i1	1.00	0.72	0.98	0.05
i2	1.00	0.58	0.97	0.39
i3	1.00	0.69	0.97	0.21
i4	1.00	0.47	1.00	0.37
i5	1.00	0.91	1.00	0.17
i6	1.00	1.00	1.00	4.44
i7	1.00	0.65	1.00	3.50
i8	1.00	0.50	0.98	26.09

ตารางที่ 6 ที่เราได้ทำการลดกระแสไฟฟ้ารั่วโดยไม่พิจารณาการเพิ่มขึ้นของ SER สำหรับวงจร c1908 ได้รับผลการลดลงของกระแสไฟฟ้ารั่วที่สูงถึง 75% ในขณะที่ SER เพิ่มขึ้นประมาณ 8% แต่ในวิธีการที่ได้นำเสนอซึ่งพิจารณาให้ SER คงที่นั้น เราสามารถลดกระแสไฟฟ้ารั่วได้เพียง 65% อย่างไรก็ดีผลกระทบจากซอฟท์เอเรอร์ต่อความ

เชื่อถือได้โดยรวมในรูปของเวลาเฉลี่ยสู่ความล้มเหลวมีผลค่อนข้างสูงเมื่อเปรียบเทียบกับปัญหาจากกระแสไฟฟ้ารั่ว [11]

การระบุว่าปัญหากระแสไฟฟ้ารั่วหรือซอฟท์เอเรอร์ปัญหาใดสำคัญกว่ากันสำหรับระบบที่หลากหลายถือเป็นเรื่องยาก ยกตัวอย่างเช่น ซอฟท์เอเรอร์อาจจะส่งปัญหาที่รุนแรงในระบบที่เกี่ยวข้องกับชีวิตคน เช่นระบบการบินและระบบเครื่องมือทางการแพทย์ แต่ปัญหากระแสไฟฟ้ารั่วส่งผลกระทบอย่างมากต่อการกินพลังงานแบตเตอ-รีในอุปกรณ์สื่อสารเคลื่อนที่และการเสื่อมสภาพของวงจรในระยะยาวอันเนื่องมาจากการเพิ่มขึ้นของอุณหภูมิ สำหรับวิธีการที่ได้นำเสนอในโครงการวิจัยนี้นับเป็นงานชิ้นแรกๆ ที่พิจารณาทั้งกระแสไฟฟ้ารั่วและซอฟท์เอเรอร์โดยให้ผลลัพธ์เป็นที่น่าพอใจ

บทที่ 5 บทสรุป

ในบทนี้ คณะผู้วิจัยจะได้สรุปผลการศึกษาวิจัยพร้อมทั้งชี้แจงปัญหาและเสนอแนวทางพัฒนาผลที่ได้จากงานวิจัยนี้เพื่อประโยชน์ในอนาคต

5.1 สรุปผลการทดลอง

งานวิจัยนี้ได้นำเสนอกรอบงานการระบุความเชื่อถือได้ที่รวมผลของกำลังไฟฟ้ารั่วและซอฟท์เอเรอร์ซึ่งเป็นปัญหาสำคัญที่เกี่ยวข้องกับความผิดพลาดของวงจรรวมอย่างถาวรและอย่างชั่วครู่ตามลำดับ รวมทั้งได้พัฒนาวิธีการปรับปรุงความเชื่อถือได้เชิงบูรณาการโดยวิธีการหาค่าเหมาะที่สุดและวิธีการฮิวริสติกส์ ในวิธีการหาค่าเหมาะที่สุด คณะผู้วิจัยได้ทำการตั้งปัญหาการหาค่าเหมาะที่สุดโดยมีฟังก์ชันจุดประสงค์เป็นค่าสูงสุดของเวลาเฉลี่ยสู่ความล้มเหลวรวมอันเนื่องมาจากกระแสไฟฟ้ารั่วและซอฟท์เอเรอร์ เงื่อนไขบังคับของปัญหาประกอบไปด้วย การคงค่าของเวลาหน่วงและกรอบจำกัดการเพิ่มขึ้นของอัตราซอฟท์เอเรอร์ และตัวแปรคือค่าแรงดันไบแอสที่ตัวฐานรองของเกตแต่ละเกต ผลจากการทดลองพบว่า วิธีการปรับปรุงความเชื่อถือได้โดยการหาค่าเหมาะที่สุดนี้ให้ผลลัพธ์ที่เป็นค่าไบแอสที่ตัวฐานรองที่ดีที่สุด แต่เนื่องจากวิธีการนี้ใช้เวลาในการคำนวณที่ยาวนานจึงไม่เหมาะสำหรับการใช้งานในวงจรขนาดใหญ่ ด้วยเหตุนี้คณะผู้วิจัยจึงได้พัฒนาเทคนิคเชิงฮิวริสติกส์ที่ใช้เวลาในการคำนวณที่ต่ำกว่าและมีผลลัพธ์เป็นที่น่าพอใจ ในวิธีการเชิงฮิวริสติกส์นี้ คณะผู้วิจัยได้เน้นการลดกระแสไฟฟ้ารั่วด้วยการปรับแรงดันไบแอสที่ตัวฐานรองโดยควบคุมให้เวลาหน่วงและอัตราซอฟท์เอเรอร์ไม่เปลี่ยนแปลง และยังได้วิเคราะห์เพิ่มเติมเกี่ยวกับจำนวนระดับแรงดันไบแอสที่ตัวฐานรองที่เหมาะสมของแต่ละวงจรซึ่งพบว่าระดับแรงดันไบแอสที่ตัวฐานรองเพียง 3 ระดับ คือไบแอสย้อนกลับที่มากที่สุด ไบแอสไปข้างหน้าที่มากที่สุด และไบแอสเป็นศูนย์ ก็ให้ผลการลดกระแสไฟฟ้ารั่วได้อย่างน่าพอใจ ดังนั้นวิธีการนี้จึงช่วยลดต้นทุนของการออกแบบผังวงจรรวมได้เป็นอย่างดี

5.2 แนวทางการพัฒนาในอนาคต

ในปัจจุบันมีอุปกรณ์ทรานซิสเตอร์ชนิดใหม่ที่ถูกพัฒนาให้มีขนาดที่เล็กลงอย่างต่อเนื่อง งานจัดการด้านความเชื่อถือได้ของวงจรมีความจำเป็นต้องตระหนักถึงปัญหาใหม่ๆ ที่อาจไม่เคยพบมาก่อน เช่นปัญหาเกี่ยวกับความร้อนในอุปกรณ์ FinFET ที่ลักษณะโครงสร้างเป็น 3 มิติ ซึ่งเป็นฐานของโพรเซสเซอร์ในปัจจุบัน โดยในอุปกรณ์ชนิดนี้มีกระแสรั่วที่น้อยมากและทนต่อซอฟท์เอเรอร์ การจัดการกับความเชื่อถือได้ในอุปกรณ์ชนิดนี้จึงเน้นเรื่องการควบคุมความร้อนและผลกระทบจากความร้อนเช่นปรากฏการณ์การไร้เสถียรภาพจากไบแอสและอุณหภูมิ (Bias temperature instability) และการเสื่อมสภาพจากอิเล็กโทรไมเกรชั่น (Electromigration)

ในงานวิจัยนี้ เราพิจารณาให้ความผิดพลาดถาวรเป็นผลมาจากกระแสไฟฟ้ารั่วเพียงปัจจัยเดียว แต่ในความเป็นจริงยังมีปัจจัยอื่นๆประกอบด้วยโดยเฉพาะปัญหาด้านความร้อนจากกำลังไฟฟ้าพลวัติ (Dynamic power) ที่ขึ้นอยู่กับความถี่และแรงดันแหล่งจ่าย ซึ่งก็มีผลต่อความเชื่อถือได้ในระยะยาวของวงจรในระดับหนึ่ง

บรรณานุกรม

[1] J. Srinivasan, S. V. Adve, P. Bose and J. A. Rivers, "Lifetime Reliability: Toward An Architectural Solution," *IEEE Micro,* vol. 25, no. 3, pp. 70-80, 2005.

[2] D. Brooks, R. P. Dick, R. Joseph and L. Shang, "Power, Thermal, and Reliability Modeling in Nanometer-Scale Microprocessors," *IEEE Micro,* vol. 27, no. 3, pp. 49-62, 2007.

[3] P. Mangalagiri, S. Bae, R. Krishnan, Y. Xie and V. Narayanan, "Thermal-Aware Reliability Analysis for Platform FPGAs," in *Proc. of the IEEE/ACM International Conference on Computer-Aided Design (ICCAD)*, San Jose, CA, 2008, pp. 722-727.

[4] S. V. Kumar, C. H. Kim and S. S. Sapatnekar, "Adaptive Techniques for Overcoming Performance Degradation Due to Aging in CMOS Circuits," *IEEE Transactions on Very Large Scale Integration Systems,* vol. 19, no. 4, pp. 603-614, 2011.

[5] B. Greskamp, S. R. Sarangi and J. Torrellas, "Threshold Voltage Variation Effects on Aging-Related Hard Failure Rates," in *Proc. of the IEEE International Symposium on Circuits and Systems (ISCAS)*, New Orleans, LA, 2007, pp. 1261-1264.

[6] P. Hazucha and C. Svensson, "Impact of CMOS Technology Scaling on the Atmospheric Neutron Soft Error Rate," *IEEE Transactions on Nuclear Science,* vol. 47, no. 6, pp. 2586-2594, 2000.

[7] P. Shivakumar, M. Kistler, S. W. Keckler, D. Burger and L. Alvisi, "Modeling the Effect of Technology Trends on the Soft Error Rate of Combinational Logic," in *Proc. of the International Conference on Dependable Systems and Networks (DSN)*, Bethesda, MD, 2002, pp. 389-398.

[8] C. Hungse, E. M. Rudnick, J. H. Patel, R. K. Iyer and G. S. Choi, "A Gate-Level Simulation Environment for Alpha-Particle-Induced Transient Faults," *IEEE Transactions on Computers,* vol. 45, no. 11, pp. 1248-1256, 1996.

[9] W. Sootkaneung and K. K. Saluja, "Gate Input Reconfiguration for Combating Soft Errors in Combinational Circuits," in *Proc. of the International Conference on Dependable Systems and Networks Workshops (DSN-W)*, Chicago, IL, 2010, pp. 107-112.

[10] W. Sootkaneung and K. K. Saluja, "On Techniques for Handling Soft Errors in Digital Circuits," in *Proc. of the International Test Conference (ITC)*, Austin, TX, 2010, pp.1-9, paper 25.2.

[11] W. Sootkaneung and K. K. Saluja, "Impact of Body Bias Based Leakage Power Reduction on Soft Error Rate," in *Proc. of the 25th International Conference on VLSI Design*, Hyderabad, India, 2012, pp. 74-79.

[12] W. Sootkaneung and K. K. Saluja, "Soft Error Reduction through Gate Input Dependent Weighted Sizing in Combinational Circuits," in *Proc. of the 12th International Symposium on Quality Electronic Design (ISQED)*, Santa Clara, CA, 2011, pp. 603-610.

[13] H. Amrouch and J. Henkel, "Self-Immunity Technique to Improve Register File Integrity against Soft Errors," in *Proc. of the 24th International Conference on VLSI Design*, Chennai, India, 2011, pp. 189-194.

[14] S. Paul, F. Cai, X. Zhang and S. Bhunia, "Reliability-Driven ECC Allocation for Multiple Bit Error Resilience in Processor Cache," *IEEE Transactions on Computers,* vol. 60, no. 1, pp. 20-34, 2011.

[15] P. Reviriego, M. Flanagan and J. A. Maestro, "A (64,45) Triple Error Correction Code for Memory Applications," *IEEE Transactions on Device and Material Reliability,* vol. 12, no. 1, pp. 101-106, 2012.

[16] H. R. Zarandi and S. G. Miremadi, "Soft Error Mitigation in Cache Memories of Embedded Systems by Means of a Protected Scheme," *Lecture Notes in Computer Science, Springer Berlin / Heidelberg,* vol. 3747, pp. 121-130, 2005.

[17] V. Gherman, S. Evain, M. Cartron, N. Seymour and Y. Bonhomme, "System-Level Hardware-Based Protection of Memories against Soft-Errors," in *Proc. of the Design, Automation and Test in Europe (DATE)*, Nice, France, 2009, pp. 1222-1225.

[18] J. Hu, S. Wang and S. G. Ziavras, "On the Exploitation of Narrow-Width Values for Improving Register File Reliability," *IEEE Transactions on Very Large Scale Integration Systems,* vol. 17, no. 7, pp. 953-963, 2009.

[19] J. Lee and A. Shrivastava, "A Compiler Optimization to Reduce Soft Errors in Register Files," in *Proc. of the Conference on Languages, Compilers, and Tools for Embedded Systems (LCTES)*, Dublin, Ireland, 2009, pp. 41-49.

[20] A. Agarwal, S. Mukhopadhyay, A. Raychowdhury, K. Roy and C. H. Kim, "Leakage Power Analysis and Reduction for Nanoscale Circuits," *IEEE Micro,* vol. 26, no. 2, pp. 68-80, 2006.

[21] D. Arumi, R. R. Montanes and J. Figueras, "Gate Leakage Impact on Full Open Defects in Interconect Lines," *IEEE Transactions on Very Large Scale Integration Systems,* vol. 19, no. 12, pp. 2209-2219, 2011.

[22] M. Meijer and J. P. de Gyvez, "Body-Bias-Driven Design Strategy for Area- and Performance-Efficient CMOS Circuits," *IEEE Transactions on Very Large Scale Integration Systems,* vol. 20, no. 1, pp. 42-51, 2012.

[23] H. Xu, W. B. Jone and R. Vemuri, "Aggressive Runtime Leakage Control through Adaptive Light-Weight Vth Hopping with Temperature and Process Variation," *IEEE Transactions on Very Large Scale Integration Systems,* vol. 19, no. 7, pp. 1319-1323, 2011.

[24] A. Sathanur, A. Pullini, L. Benini, G. De Micheli and E. Macii, "Physically Clustered Forward Body Biasing for Variability Compensation in Nanometer CMOS Design," in *Proc. of the Design, Automation & Test in Europe Conference & Exhibition (DATE)*, Nice, France, 2009, pp. 154-159.

[25] T. H. Wu, L. Xie and A. Davoodi, "A Parallel and Randomized Algorithm for Large-Scale Discrete Dual-Vt Assignment and Continuous Gate Sizing," in *Proc. of the ACM/IEEE International Symposium on Low Power Electronics and Design (ISLPED)*, Bangalore, India, 2008, pp. 45-50.

[26] HSPICE PTM website. [online]. Available: http://www.eas.asu.edu/~ptm.

ภาคผนวก

ประวัติย่อผู้วิจัย

1. Mr. WARIN SOOTKANEUNG

Office: Department of Computer Engineering, Faculty of Engineering
Rajamangala University of Technology Phra Nakhon (RMUTP)

Cell Phone: (+66) 83-029-2275

Email: warin.s@rmutp.ac.th

Education:

August 2012 Ph.D. in Electrical Engineering (computer engineering)

Dissertation: "*Reliability Improvement against Soft Errors in Nanometer Digital Circuits* "

From: University of Wisconsin-Madison, USA.

May 2009 M.S. in Electrical Engineering (computer engineering)

From: University of Wisconsin-Madison, USA.

August 2003 M.Eng. in Electronics Engineering

Thesis: "*The Implementation of Bit-Parallel 5th Order Lattice Wave Digital Filters using FPGA*"

From: King Mongkut's Institute of Technology Ladkrabang, Thailand

May 1998 B.Eng. in Electrical Engineering (with double majors: power engineering and telecommunication engineering)

Senior project: "*The Design of Digital Storage Oscilloscope Interface Card*"

From: Chiang Mai University, Thailand

Work experiences:

January 2012 – May 2012 Teaching Assistant for Digital Engineering Laboratory, Department of Electrical and Computer Engineering (ECE), University of Wisconsin-Madison

March 2004 – August 2006 Associate Director, RMUTP's Radio Station

June 2002– August 2006 Head, Department of Electrical Engineering, Faculty of Technical Education, RMUTP

August 1998 – present Lecturer, Faculty of Engineering, RMUTP

Professional Licenses: Licenses for practicing controlled engineering professions

- Associate Electrical Engineer (Power)
- Associate Electrical Engineer (Telecommunication/Electronics)

Volunteer:

- Thai classical music trainer
- Member of Graduate Student Council, ECE, University of Wisconsin-Madison (November 2010 – August 2012)
- Academic paper reviewer for
    - IEEE Transactions on Computers (TC)
    - Journal of Electronic Testing (JETTA)
    - IEEE International Symposium on Circuits & Systems (ISCAS)
    - Asian Test Symposium (ATS)
    - VLSI Design Conference (VLSID)
- Member of technical program committees for numerous national and international academic conferences.

Research Area:

- Soft error mitigation
- Low power design
- Design for reliability
- VLSI design

Teaching:

- Computer architecture
- Digital system and processor design
- Electric circuit analysis
- Fault-tolerant systems
- Electrical engineering mathematics

Selected Publications:

1. W. Sootkaneung, "The Design of Bit-Serial Lattice Wave Digital Filter Using FPGA," *in Proceedings of the 5th International Conference on Information, Communication, and Signal Processing (ICICS),* Bangkok, Thailand, 2005, pp.559-563.
2. K. K. Saluja, S. Vijayakumar, W. Sootkaneung, X. Yang, "NBTI Degradation: A Problem or a Scare?," *in Proceedings of the 21st International Conference on VLSI Design,* Hyderabad, India, 2008, pp.137-142.
3. W. Sootkaneung and K. K. Saluja, "Sizing Techniques for Improving Soft Error Immunity in Digital Circuits," *in Proceedings of the International Conference on VLSI Design and Communication Systems (ICVLSICOM '10),* Chennai, India, 2010, pp.87-92.
4. W. Sootkaneung and K. K. Saluja, "Gate Input Reconfiguration for Combating Soft Errors in Combinational Circuits," *in Proceedings of the International Conference on Dependable Systems and Networks Workshops (DSN-W 2010),* Chicago, IL, 2010, pp. 107-112.
5. W. Sootkaneung and K. K. Saluja, "Optimizing Device Size for Soft Error Resilience in Sub-Micron Logic Circuits," *in Proceedings of the 2nd Asia Symposium on Quality Electronic Design (ASQED 2010),* Penang, Malaysia, 2010, pp. 235-242.
6. W. Sootkaneung and K. K. Saluja, "On Techniques for Handling Soft Errors in Digital Circuits," *in Proceedings of the International Test Conference (ITC 2010),* Austin, TX, 2010, pp. 1-9: Paper 25.2.

7. W. Sootkaneung and K. K. Saluja, "Soft Error Reduction through Gate Input Dependent Weighted Sizing in Combinational Circuits," *in Proceedings of the 12th International Symposium on Quality Electronic Design (ISQED 2011),* Santa Clara, CA, 2011, pp. 603-610.

8. W. Sootkaneung and K. K. Saluja, "Impact of Body Bias Based Leakage Power Reduction on Soft Error Rate," *in Proceedings of the 25th International Conference on VLSI Design,* Hyderabad, India, 2012, pp. 74-79**.**

9. W. Sootkaneung and K. K. Saluja, "Flip-Flop Selection and Gate Sizing to Reduce Re-Execution Penalty Due to Soft Error," *RMUTP Research Journal,* vol. special issue, pp. 29-42, 2014.

10. S. Chookaew, S. Howimanporn, W. Sootkaneung, W. Pradubsri, P. Yoothai, "Computer Assisted Learning Based on ADDIE Instructional Development Model for Visual Impaired Students," *in Proceedings of the 22nd International Conference on Computers in Education (ICCE),* Nara, Japan, 2014, pp. 349-354.

2. Mr. SUPPACHAI HOWIMANPORN

ตำแหน่งปัจจุบัน: ผู้ช่วยศาสตราจารย์

หน่วยงาน: คณะครุศาสตร์อุตสาหกรรม มหาวิทยาลัยเทคโนโลยีพระจอมเกล้าพระนครเหนือ

โทรศัพท์: 089-018-4049

E-mail: suppachai.h@fte.kmutnb.ac.th

ประวัติการศึกษา:

พ.ศ. 2557 ปริญญาเอก: D.Eng (Mechatronics)
Asian Institute of Technology

พ.ศ. 2547 ปริญญาโท: วศ.ม. (วิศวกรรมระบบควบคุม)
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าลาดกระบัง

พ.ศ. 2542 ปริญญาตรี: วศ.บ. (วิศวกรรมไฟฟ้า)
สถาบันเทคโนโลยีพระจอมเกล้าเจ้าลาดกระบัง

สาขาวิชาการที่มีความชำนาญพิเศษ:

วิทยากรและผู้เชี่ยวชาญ การวิเคราะห์การวัดและระบบควบคุมอัตโนมัติ การวิเคราะห์การแปลงรูปพลังงานไฟฟ้าและอิเล็กทรอนิกส์กำลัง การเขียนโปรแกรมควบคุมระบบ PLC

ผลงานวิจัยที่ตีพิมพ์เผยแพร่:

1. ศุภชัย หอวิมานพร และชนินทร์ บุญลักษณานุสรณ์ “การศึกษาเปรียบเทียบวงจรฟลายแบคคอนเวอร์เตอร์ในโหมดการนำกระแสแบบต่อเนื่อง (CCM) และแบบไม่ต่อเนื่อง (DCM)”, *วิศวสารลาดกระบัง* ปีที่ 20 ฉบับที่ 1 หน้า 19-24.

2. ศุภชัย หอวิมานพร และชนินทร์ บุญลักษณานุสรณ์ “การเปรียบเทียบสมรรถนะของวงจรฟลายแบคคอนเวอร์เตอร์ในโหมดการนำกระแสแบบต่อเนื่อง (CCM) และแบบไม่ต่อเนื่อง (DCM)”, *การประชุมวิชาการวิศวกรรมไฟฟ้าครั้งที่ 26* หน้า 764-769.

3. S. Howimanporn and C. Bunlaksananusorn, “Performance Comparison of Continuous Conduction Mode (CCM) and Discontinuous Conduction Mode (DCM) Flyback Converters,” *PEDS 2003*, Nov. 2003, pp.1434-1437.

4. S. Horwimanporn, C. Silawatchananai, M. Parnichkun, and C. Wuthishuwong, “Double Loop Controller Design for the Vehicle's Heading Control,” in *Proceedings of the 2009 international conference on Robotics and biomimetics*, 2009, pp. 989-994.

5. R. Manasoontorn and S. Howimanporn, “Comparison of Continuous Conduction Mode (CCM) and Discontinuous Conduction Mode (DCM) in Omni Wheel Robot Power Supply,” in *Proceedings of the 2nd RMUTP International Conference*, 2010, pp. 189-194.

6. S. Wiriya, N. Distaklu, and S. Howimanporn, “Speed Control System Design in Bicycle Robot by Low Power Method,” in *Proceedings of the 2nd RMUTP International Conference*, 2010, pp. 195-201.

7. ศุภชัย หอวิมานพร และ กฤษณ์ เจ็ดวรรณะ “การควบคุมความเร็วมอเตอร์แบบฟัซซีร่วมกับพีไอดี, *การประชุมวิชาการมหาวิทยาลัยเทคโนโลยีราชมงคลครั้งที่ 3*, 2010.

8. จักรพันธ์ แสงสุวรรณ และ ศุภชัย หอวิมานพร “การวัดค่าการกัดกร่อนสนิมเหล็ก ในโครงสร้างคอนกรีตเสริมเหล็กแบบโพลาไรเซชั่น, *การประชุมวิชาการมหาวิทยาลัยเทคโนโลยีราชมงคลครั้งที่ 3*, 2010

9. H. Suppachai and P. Manukid, “Performance Comparison of Balancing Control of an X-Y Planar Inverted Pendulum System by PID, LQR and SMC,” *การประชุมวิชาการทางเทคโนโลยีอุตสาหกรรมและหุ่นยนต์*, 2011

10. H. Suppachai and P. Manukid, “Control of an X-Y Planar Inverted Pendulum Using PSO Based SMC,” *International Journal of Robotics and Automation*, 2014. (In press)

11. S. Chookaew, S. Howimanporn, W. Sootkaneung, W. Pradubsri, P. Yoothai, “Computer Assisted Learning Based on ADDIE Instructional Development Model for Visual Impaired Students,” in *Proceedings of the 22nd International Conference on Computers in Education (ICCE)*, Nara, Japan, 2014, pp. 349-354.

3. Miss SASITHORN CHOOKEAW

ตำแหน่งปัจจุบัน: อาจารย์

หน่วยงาน: มหาวิทยาลัยเทคโนโลยีราชมงคลพระนคร คณะครุศาสตร์อุตสาหกรรม
สาขาวิชาวิศวกรรมคอมพิวเตอร์
เลขที่ 399 ถนนสามเสน แขวงวชิรพยาบาล เขตดุสิต กรุงเทพฯ 10300
โทรศัพท์ : 02-2829009-15 ต่อ 7159

E-mail: sasithorn.c@rmutp.ac.th

ประวัติการศึกษา:

พ.ศ. 2558 ปริญญาเอก: Ph.D. in science and technology education
Mahidol University

พ.ศ. 2550 ปริญญาโท: ค.อ.ม. คอมพิวเตอร์และเทคโนโลยีสารสนเทศ
มหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี

พ.ศ. 2547 ปริญญาตรี: ค.อ.บ. ครุศาสตร์เทคโนโลยี
มหาวิทยาลัยเทคโนโลยีพระจอมเกล้าธนบุรี

สาขาวิชาการที่มีความชำนาญพิเศษ:

คอมพิวเตอร์เอนิเมชั่น บทเรียนคอมพิวเตอร์ช่วยสอน

ผลงานวิจัยที่ตีพิมพ์เผยแพร่:

1. M. Pornphisud, **C. Sasithorn** and S. Sunisa, "I POD-BASED Learning System on "ADVERTISING DESIGN" for Communication Art-Digital Media Students at Siam Technology College," *International e-Learning Conference* 2008.

2**. Sasithorn Chookaew**, Kanyupa Jittiwadhna and Parames Laosinhai, "Using an Animated Cartoon Analogy for Enhancing Undergraduate Computer Students' Understanding of Process Management in Operating System," *the Second Annual International Research Conference on Social Sciences and Humanities*, 2009.

3. Dechawut Wanichsan, Patcharin Panjaburee, Parames Laosinchai, Wannapong Triampo, and **Sasithorn Chookaew**, "A majority-Density Approach to Developing Testing and Diagnostic Systems with the Cooperation of Multiple Experts Based on an Enhanced Concept-Effect Relationship Model," *Expert Syst. Appl.*, pp.8380-8388, 2012.

4. **S. Chookaew**, S. Howimanporn, W. Sootkaneung, W. Pradubsri, P. Yoothai, "Computer Assisted Learning Based on ADDIE Instructional Development Model for Visual Impaired Students," *in Proceedings of the 22nd International Conference on Computers in Education (ICCE)*, Nara, Japan, 2014, pp. 349-354.